

19 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

11 N° de publication : 2 788 883

(à n'utiliser que pour les  
commandes de reproduction)

21 N° d'enregistrement national : 99 16246

51 Int Cl<sup>7</sup> : H 01 L 27/12

12

## DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 22.12.99.

30 Priorité : 24.12.98 JP 36726598; 23.06.99 JP  
17709199.

43 Date de mise à la disposition du public de la  
demande : 28.07.00 Bulletin 00/30.

56 Liste des documents cités dans le rapport de  
recherche préliminaire : Ce dernier n'a pas été  
établi à la date de publication de la demande.

60 Références à d'autres documents nationaux  
apparentés :

71 Demandeur(s) : MITSUBISHI DENKI KABUSHIKI  
KAISHA — JP.

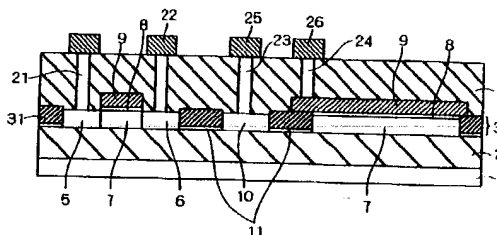
72 Inventeur(s) : YAMAGUCHI YASUO, MAEGAWA  
SHIGETO, IPPOSHI TAKASHI, IWAMATSU TOSHIKI,  
MAEDA SHIGENOBU, HIRANO YUICHI, MATSU-  
MOTO TAKUJI et MIYAMOTO SHOICHI.

73 Titulaire(s) :

74 Mandataire(s) : CABINET PLASSERAUD.

54 DISPOSITIF A SEMICONDUCTEUR AYANT UNE STRUCTURE SILICIUM SUR ISOLANT.

57 Une pellicule d'oxyde partielle (31) isole mutuellement  
des régions de formation de transistor dans une couche SOI  
(3). Une région de caisson de type p (11) formée sous une  
partie de la pellicule d'oxyde partielle (31) isole mutuelle-  
ment des transistors NMOS, et une région de caisson de  
type n isole mutuellement des transistors PMOS. Une ré-  
gion de corps (10) est en contact avec la région de caisson  
(11) adjacente. Une couche d'interconnexion formée sur  
une pellicule diélectrique inter-couche (4) est connectée à la  
région de corps. Un dispositif à semiconducteur ayant une  
telle structure SOI réduit un effet de substrat flottant.



FR 2 788 883 - A1





DISPOSITIF A SEMICONDUCTEUR AYANT UNE STRUCTURE  
SILICIUM SUR ISOLANT

La présente invention concerne un dispositif à semiconducteur ayant une structure silicium sur isolant, ou SOI.

5           En se référant à la figure 102, on note qu'un dispositif à semiconducteur de l'art antérieur ayant une structure SOI constituée par un substrat en silicium 1, une pellicule d'oxyde enterrée 2 et une couche SOI ("Silicon On Insulator", c'est-à-dire silicium sur isolant) 3 a été réalisé de façon qu'une pellicule d'oxyde complète 32 isole entièrement les unes  
10 des autres des régions de formation de transistor dans la couche SOI 3. Par exemple, un seul transistor NMOS formé dans une région de formation de transistor NMOS a été complètement isolé d'autres transistors par la pellicule d'oxyde complète 32. Dans le dispositif à semiconducteur représenté sur la figure 102, une pellicule diélectrique inter-couche 4 re-  
15 couvre la couche SOI 3.

Comme représenté sur la figure 102, le transistor NMOS unique complètement isolé d'autres transistors par la pellicule d'oxyde complète 32 comprend une région de drain 5, une région de source 6 et une région de formation de canal 7 qui sont formées dans la couche SOI 3, une pel-  
20 licule d'oxyde de grille 8 formée sur la région de formation de canal 7, et une électrode de grille 9 formée sur la pellicule d'oxyde de grille 8. Une couche d'interconnexion 22 formée sur la pellicule diélectrique inter-couche 4 est connectée électriquement à la région de drain 5 ou la région de source 6 à travers un contact 21 formé dans la pellicule diélectrique  
25 inter-couche 4.

Ainsi, le dispositif à semiconducteur de l'art antérieur ayant la structure SOI dans laquelle des dispositifs (transistors) sont complètement isolés les uns des autres dans la couche SOI, est réalisé de façon à



procurer une isolation complète entre des transistors PMOS et NMOS, pour empêcher en principe le phénomène de verrouillage à l'état passant.

Par conséquent, la fabrication d'un dispositif à semiconducteur ayant la structure SOI et comprenant des transistors CMOS a été avanta-  
5 geuse dans la mesure où une largeur d'isolation minimale déterminée par la technique de micro-usinage peut être utilisée de façon à réduire l'aire d'une puce. Cependant, un tel dispositif à semiconducteur ayant la structure SOI présente divers inconvénients résultant de ce qu'on appelle un effet de substrat flottant, comme un effet de non-linéarité occasionné  
10 par des porteurs (trous pour un transistor NMOS) générés par ionisation par chocs et stockés dans la région de formation de canal, la dégradation de la tension de claquage en fonctionnement, et la dépendance de la durée de retard vis-à-vis de la fréquence, à cause du potentiel électrique non stabilisé de la région de formation de canal.

15 Un premier aspect de la présente invention porte sur un dispositif à semiconducteur ayant une structure SOI comprenant un substrat semiconducteur, une couche diélectrique enterrée et une couche SOI. Conformément à la présente invention, le dispositif à semiconducteur comprend : une multiplicité de régions de formation de dispositif dans  
20 lesquelles des dispositifs prédéterminés doivent être formés respectivement, la multiplicité de régions de formation de dispositif étant établies dans la couche SOI; et au moins une région d'isolation formée dans la couche SOI pour isoler les unes par rapport aux autres, de façon diélectrique, la multiplicité de régions de formation de dispositif; et une région  
25 de corps formée dans la couche SOI et dont le potentiel électrique peut être fixé de façon externe, et dans ce dispositif au moins une partie de la région ou des régions d'isolation comprend une région d'isolation partielle ayant une région diélectrique partielle formée dans sa partie supérieure et une région de semiconducteur formée dans sa partie inférieure,  
30 la région de semiconducteur constituant une partie de la couche SOI et étant formée en contact avec l'une au moins de la multiplicité de régions de formation de dispositif et la région de corps.

De préférence, selon un second aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la multiplicité  
35 de régions de formation de dispositif comprennent une multiplicité de



premières régions de formation de dispositif pour un premier dispositif, et une multiplicité de secondes régions de formation de dispositif pour un second dispositif, la région ou les régions d'isolation comprennent en outre une région d'isolation complète ayant une région diélectrique complète s'étendant à travers la couche SOI; et la région d'isolation partielle comprend des première et seconde régions d'isolation partielles. La multiplicité de premières régions de formation de dispositif sont isolées les unes des autres par la première région d'isolation partielle, la multiplicité de secondes régions de formation de dispositif sont isolées les unes des autres par la seconde région d'isolation partielle, et la multiplicité de premières régions de formation de dispositif et la multiplicité de secondes régions de formation de dispositif sont isolées les unes des autres par la région d'isolation complète.

De préférence, selon un troisième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la multiplicité de régions de formation de dispositif comprennent une multiplicité de régions de formation de dispositif pour un premier circuit et une multiplicité de régions de formation de dispositif pour un second circuit. La multiplicité de régions de formation de dispositif pour le premier circuit sont isolées les unes des autres par une région d'isolation complète s'étendant à travers la couche SOI, et la multiplicité de régions de formation de dispositif pour le second circuit sont isolées les unes des autres par la région d'isolation partielle.

De préférence, selon un quatrième aspect de la présente invention, dans le dispositif à semiconducteur du troisième aspect, la couche SOI comprend des première et seconde couches SOI partielles, la première couche SOI partielle ayant une épaisseur inférieure à celle de la seconde couche SOI partielle. La multiplicité de régions de formation de dispositif pour le premier circuit sont formées dans la première couche SOI partielle, et la multiplicité de régions de formation de dispositif pour le second circuit sont formées dans la seconde couche SOI partielle.

De préférence, selon un cinquième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la multiplicité de régions de formation de dispositif comprennent une région de formation de dispositif pour un circuit prédéterminé, et une région de



formation de dispositif pour un circuit autre que le circuit prédéterminé. La région de formation de dispositif pour le circuit prédéterminé et la région de formation de dispositif pour le circuit autre que le circuit prédéterminé sont isolées l'une de l'autre par une région d'isolation complète s'étendant à travers la couche SOI.

De préférence, selon un sixième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, un dispositif formé dans une région de formation de dispositif isolée par la région d'isolation partielle, parmi la multiplicité de régions de formation de dispositif, a une région active formée à une profondeur à partir d'une surface de la couche SOI qui est inférieure à la profondeur à laquelle la région d'isolation partielle est formée.

De préférence, selon un septième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la région de semiconducteur comprend une région de silicium polycristallin.

De préférence, selon un huitième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la région diélectrique partielle comprend une pellicule à faible constante diélectrique, ayant une constante diélectrique inférieure à celle de la couche diélectrique enterrée.

De préférence, selon un neuvième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la région diélectrique partielle comprend une pellicule diélectrique partielle formée au moins sur une surface latérale, et une pellicule à faible constante diélectrique formée dans d'autres régions et ayant une constante diélectrique inférieure à celle de la pellicule diélectrique partielle.

De préférence, selon un dixième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la ou les régions d'isolation comprennent une multiplicité de régions d'isolation, et l'une au moins de la multiplicité de régions d'isolation a une largeur prédéterminée et s'étend de façon pratiquement perpendiculaire jusqu'à une surface du substrat semiconducteur.

Un onzième aspect de la présente invention porte sur un dispositif à semiconducteur ayant une structure SOI comprenant un substrat semiconducteur, une couche diélectrique enterrée et une couche SOI.



Conformément à la présente invention, le dispositif à semiconducteur comprend : une multiplicité de régions de formation de dispositif dans lesquelles des dispositifs prédéterminés doivent être formés respectivement, la multiplicité de régions de formation de dispositif se trouvant  
5 dans la couche SOI; au moins une région d'isolation formée dans la couche SOI pour isoler de façon diélectrique la multiplicité de régions de formation de dispositif les unes par rapport aux autres; et une région de corps capable de fixer un potentiel électrique de façon externe, la région de corps étant formée en contact avec l'une des surfaces supérieure et  
10 inférieure de l'une au moins de la multiplicité de régions de formation de dispositif.

De préférence, selon un douzième aspect de la présente invention, dans le dispositif à semiconducteur du onzième aspect, la région de corps est formée dans une partie supérieure de la couche diélectrique enterrée, et en contact avec la surface inférieure de la région ou des régions de la multiplicité de régions de formation de dispositif.  
15

De préférence, selon un treizième aspect de la présente invention, dans le dispositif à semiconducteur du onzième aspect, la région de corps s'étend à travers la couche diélectrique enterrée et est en contact  
20 avec la surface inférieure de la région ou des régions de la multiplicité de régions de formation de dispositif.

De préférence, selon un quatorzième aspect de la présente invention, dans le dispositif à semiconducteur du onzième aspect, la région de corps est formée sur la région ou les régions de la multiplicité de régions de formation de dispositif, et en contact avec la surface supérieure de la région ou des régions de la multiplicité de régions de formation de dispositif.  
25

De préférence, selon un quinzième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, au moins  
30 une partie de la région ou des régions d'isolation comprend en outre une région d'isolation combinée comprenant la région d'isolation partielle et une région diélectrique complète s'étendant à travers la couche SOI, la région d'isolation partielle et la région diélectrique complète étant mutuellement continues.

35 De préférence, selon un seizième aspect de la présente inven-



tion, dans le dispositif à semiconducteur du quinzième aspect, la région d'isolation partielle a une surface supérieure plane et uniforme.

De préférence, selon un dix-septième aspect de la présente invention, dans le dispositif à semiconducteur du quinzième aspect, la région de semiconducteur de la région d'isolation combinée a une épaisseur qui n'est pas supérieure à la moitié de l'épaisseur de la couche SOI.

De préférence, selon un dix-huitième aspect de la présente invention, dans le dispositif à semiconducteur du quinzième aspect, la région diélectrique complète de la région d'isolation combinée a une largeur qui n'est pas supérieure à la moitié de la largeur de la région d'isolation combinée.

De préférence, selon un dix-neuvième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la ou les régions d'isolation comprennent en outre une région d'isolation complète ayant une région diélectrique complète s'étendant à travers la couche SOI. La multiplicité de régions de formation de dispositif comprennent une région de formation de transistor NMOS d'entrée/sortie et une région de formation de transistor PMOS d'entrée/sortie qui sont disposées de façon mutuellement adjacente. La région d'isolation complète est formée au moins au voisinage d'une frontière entre la région de formation de transistor NMOS d'entrée/sortie et la région de formation de transistor PMOS d'entrée/sortie.

De préférence, selon un vingtième aspect de la présente invention, dans le dispositif à semiconducteur du dix-neuvième aspect, la multiplicité de régions de formation de dispositif comprennent en outre une région de formation de circuit interne disposée en position adjacente à l'une des régions comprenant la région de formation de transistor NMOS d'entrée/sortie et la région de formation de transistor PMOS d'entrée/sortie. La région d'isolation complète est en outre formée au voisinage d'une frontière entre la région de formation de circuit interne et une région parmi la région de formation de transistor NMOS d'entrée/sortie et la région de formation de transistor PMOS d'entrée/sortie, qui est disposée en position adjacente à la région de formation de circuit interne.

De préférence, selon un vingt-et-unième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la ou



les régions d'isolation comprennent en outre une région d'isolation complète ayant une région diélectrique complète s'étendant à travers la couche SOI. La multiplicité de régions de formation de dispositif comprennent une région de formation de transistor NMOS et une région de formation de transistor PMOS qui sont disposées de façon mutuellement adjacente. La région d'isolation complète est formée dans un emplacement de formation de région d'isolation complète situé à l'intérieur de la région de formation de transistor PMOS au voisinage d'une frontière entre la région de formation de transistor NMOS et la région de formation de transistor PMOS. La région d'isolation partielle entoure la région de formation de transistor NMOS et la région de formation de transistor PMOS, sauf dans l'emplacement de formation de région d'isolation complète.

De préférence, selon un vingt-deuxième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la ou les régions d'isolation comprennent en outre une région d'isolation complète ayant une région diélectrique complète s'étendant à travers la couche SOI. La multiplicité de régions de formation de dispositif comprennent une région de formation de transistor PMOS. La région d'isolation partielle est formée dans un emplacement de formation de région d'isolation partielle se trouvant au moins au voisinage d'une première extrémité d'une électrode de grille de la région de formation de transistor MOS. La région diélectrique complète entoure la région de formation de transistor MOS, sauf dans l'emplacement de formation de région d'isolation partielle.

De préférence, selon un vingt-troisième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor d'un premier type de conductivité. La région d'isolation complète comprend une région d'isolation partielle périphérique entourant la région de formation de transistor. La région de corps comprend une région de corps périphérique d'un second type de conductivité entourant la région d'isolation partielle périphérique.

De préférence, selon un vingt-quatrième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la multiplicité de régions de formation de dispositif comprennent une région de



formation de transistor MOS. La région de corps comprend une région de corps adjacente à la source, disposée en position adjacente à une région de source de la région de formation de transistor MOS. Le dispositif à semiconducteur comprend en outre une région de fixation de potentiel électrique connectée en commun à la région de source et à la région de corps adjacente à la source.

De préférence, selon un vingt-cinquième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la région de semiconducteur de la région d'isolation partielle comprend des première et seconde régions de semiconducteur partielles. La concentration en impureté de la première région de semiconducteur partielle est supérieure à celle de la seconde région de semiconducteur partielle.

De préférence, selon un vingt-sixième aspect de la présente invention, dans le dispositif à semiconducteur du vingt-cinquième aspect, la première région de semiconducteur partielle comprend une région périphérique disposée en position adjacente à l'une de la multiplicité de régions de formation de dispositif qui doit être isolée, et la seconde région de semiconducteur partielle comprend une région centrale correspondant à une partie de la région de semiconducteur qui est autre que la région périphérique.

De préférence, selon un vingt-septième aspect de la présente invention, dans le dispositif à semiconducteur du vingt-cinquième aspect, la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor MOS. La région d'isolation partielle entoure la région de formation de transistor MOS. La première région de semiconducteur partielle comprend une région adjacente à une électrode de grille de la région de formation de transistor MOS, et la seconde région de semiconducteur partielle comprend une région adjacente à un drain/source de la région de formation de transistor MOS.

De préférence, selon un vingt-huitième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor MOS d'un premier type de conductivité, et la région de semiconducteur de la région d'isolation partielle comprend une région d'un second type de conductivité. Un maximum de la concentration



en impureté de la région de semiconducteur de la région d'isolation partielle est plus profond à partir d'une surface de la couche SOI qu'un maximum de la concentration en impureté d'une région de drain/source formée en contact avec la région de semiconducteur dans la région de formation de transistor MOS.

De préférence, selon un vingt-neuvième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor MOS. Un maximum de la concentration en impureté d'une région de formation de canal de la région de formation de transistor MOS est plus profond à partir d'une surface de la couche SOI qu'un maximum de la concentration en impureté de la région de semiconducteur de la région d'isolation partielle.

De préférence, selon un trentième aspect de la présente invention, dans le dispositif à semiconducteur du quinzième aspect, la région de semiconducteur de la région d'isolation combinée comprend une première région de semiconducteur partielle disposée en position adjacente à la région diélectrique complète, et une seconde région de semiconducteur partielle qui est le reste de la région de semiconducteur. La concentration en impureté de la première région de semiconducteur partielle est supérieure à celle de la seconde région de semiconducteur partielle.

De préférence, selon un trente-et-unième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la région d'isolation partielle a une partie de coin de surface et une partie de coin de fond, la partie de coin de fond ayant un rayon de courbure supérieur à celui de la partie de coin de surface.

De préférence, selon un trente-deuxième aspect de la présente invention, dans le dispositif à semiconducteur du quinzième aspect, la région diélectrique partielle de la région d'isolation combinée a une partie de coin de fond et une partie ayant la forme d'une marche définie entre la région diélectrique complète et la région diélectrique partielle, la partie ayant la forme d'une marche ayant un rayon de courbure inférieur à celui de la partie de coin de fond.

De préférence, selon un trente-troisième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la ré-



gion d'isolation ou les régions d'isolation comprennent en outre une région d'isolation complète ayant une région diélectrique complète s'étendant à travers la couche SOI. Le dispositif à semiconducteur comprend en outre un élément consistant en une inductance formée dans une région de formation d'inductance s'étendant dans une partie supérieure de la couche SOI, la région d'isolation complète étant formée au-dessous de la région de formation d'inductance.

De préférence, selon un trente-quatrième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor MOS, et la région de corps comprend une région de corps connectée à la grille, qui est connectée électriquement à une électrode de grille d'un transistor MOS formé dans la région de formation de transistor MOS. La région d'isolation partielle entoure la région de formation de transistor MOS.

De préférence, selon un trente-cinquième aspect de la présente invention, dans le dispositif à semiconducteur du sixième aspect, la région de semiconducteur comprend une région d'un premier type de conductivité, et la région active du dispositif comprend une région d'un second type de conductivité. La profondeur de la région active du dispositif est fixée de façon qu'une couche de déplétion s'étendant à partir de la région active n'atteigne pas la couche diélectrique enterrée dans un état de polarisation nulle.

De préférence, selon un trente-sixième aspect de la présente invention, dans le dispositif à semiconducteur du premier aspect, la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor de champ. Un transistor de champ formé dans région de formation de transistor de champ comprend : des première et seconde régions actives formées indépendamment l'une de l'autre; et une partie de grille formée entre les première et seconde régions actives et comprenant une région diélectrique partielle de transistor de champ formée dans sa partie supérieure et une région de semiconducteur de transistor de champ formée dans sa partie inférieure et remplissant la fonction d'une partie de la couche SOI.

Un trente-septième aspect de la présente invention porte sur un



dispositif à semiconducteur ayant une structure SOI comprenant un substrat semiconducteur, une couche diélectrique enterrée et une couche SOI. Conformément à la présente invention, le dispositif à semiconducteur comprend : une région de formation de dispositif dans laquelle un  
5 dispositif prédéterminé doit être formé, la région de formation de dispositif étant établie dans la couche SOI; une région d'isolation périphérique formée dans la couche SOI et entourant la région de formation de dispositif, la région d'isolation périphérique comprenant une région d'isolation partielle ayant une région diélectrique partielle formée dans sa partie su-  
10 périeure et une région de semiconducteur formée dans sa partie inférieure et remplissant la fonction d'une partie de la couche SOI, la région de semiconducteur étant formée en contact avec la région de formation de dispositif et étant flottante.

Un trente-huitième aspect de la présente invention porte sur un  
15 procédé de fabrication d'un dispositif à semiconducteur. Conformément à la présente invention, le procédé comprend les étapes suivantes : (a) on fournit un substrat SOI ayant une structure SOI comprenant un substrat semiconducteur, une couche diélectrique enterrée, et une couche SOI;  
20 (b) on enlève sélectivement la couche SOI à partir du dessus d'une surface supérieure de celle-ci, de façon à ne pas pénétrer dans la couche SOI, pour former une multiplicité de tranchées, grâce à quoi des régions des couches SOI qui s'étendent entre la multiplicité de tranchées constituent une multiplicité de régions de formation de dispositif; (c) on remplit  
25 chacune de la multiplicité de tranchées avec une pellicule diélectrique, la pellicule diélectrique dans l'une au moins de la multiplicité de tranchées et une partie de la couche SOI qui s'étend au-dessous de la tranchée ou des tranchées de la multiplicité de tranchées constituant une région d'isolation partielle; et (d) on forme un dispositif prédéterminé dans cha-  
cune de la multiplicité de régions de formation de dispositif.

30 De préférence, selon un trente-neuvième aspect de la présente invention, dans le procédé du trente-huitième aspect, la multiplicité de tranchées comprennent une première tranchée et une seconde tranchée, et la ou les tranchées de la multiplicité de tranchées comprennent la première tranchée. Le procédé comprend en outre l'étape (e) consistant à  
35 enlever davantage la couche SOI à partir d'une partie inférieure de la se-



conde tranchée, pour faire en sorte que la seconde tranchée s'étende à travers la couche SOI, l'étape (e) étant accomplie après l'étape (b) et avant l'étape (c). L'étape (c) fait en sorte que la pellicule diélectrique dans la première tranchée et une partie de la couche SOI qui s'étend au-  
5 dessous de la première tranchée constituent la région d'isolation partielle, et fait en sorte que la pellicule diélectrique dans la seconde tranchée s'étendant à travers la couche SOI constitue une région d'isolation complète.

De préférence, selon un quarantième aspect de la présente invention, dans le procédé du trente-neuvième aspect, la seconde tranchée a une largeur supérieure à celle de la première tranchée, et l'étape (b) comprend les étapes suivantes : (b-1) on forme des éléments de paroi latérale sur des surfaces latérales des première et seconde tranchées, respectivement, de façon à recouvrir une surface de fond de la première  
10 tranchée et à laisser à nu le centre d'une surface de fond de la seconde tranchée; et (b-2) on fait pénétrer la couche SOI sous le centre de la seconde tranchée en utilisant les éléments de paroi latérale à titre de masque.

De préférence, selon un quarante-et-unième aspect de la présente invention, le procédé du trente-neuvième aspect comprend en outre l'étape (f) consistant à introduire une impureté dans des parties de la couche SOI qui s'étendent au-dessous de la multiplicité de tranchées, pour former des régions à concentration élevée, l'étape (f) étant accomplie après l'étape (b) et avant l'étape (e).  
20

Un quarante-deuxième aspect de la présente invention porte sur un procédé de fabrication d'un dispositif à semiconducteur. Conformément à la présente invention, le procédé comprend les étapes suivantes : (a) on fournit un substrat SOI ayant une structure SOI comprenant un substrat semiconducteur, une couche diélectrique enterrée, et une  
25 couche de silicium; (b) on enlève sélectivement la couche de silicium pour former une partie de traversée s'étendant à travers la couche de silicium; (c) on remplit avec une première pellicule diélectrique la partie de traversée s'étendant à travers la couche de silicium, de façon que la première la pellicule diélectrique s'élève à partir d'une surface supérieure  
30 de la couche de silicium, et on forme sélectivement une seconde pellicule  
35



diélectrique sur la couche de silicium; (d) on forme une couche épitaxiale par croissance épitaxiale vers le haut à partir d'une partie de la surface supérieure de la couche de silicium qui n'est pas recouverte par la seconde pellicule diélectrique, la couche de silicium et la couche épitaxiale constituant une couche SOI, la seconde pellicule diélectrique et une partie de la couche de silicium qui s'étend au-dessous de la seconde pellicule diélectrique constituant une région d'isolation partielle, la première pellicule diélectrique constituant une région d'isolation complète; et (e) on forme un dispositif prédéterminé dans chacune d'une multiplicité de régions de formation de dispositif qui sont isolées les unes des autres par une région parmi la région d'isolation partielle et la région d'isolation complète.

Un quarante-troisième aspect de la présente invention porte sur un procédé de fabrication d'un dispositif à semiconducteur. Conformément à la présente invention, le procédé comprend les étapes suivantes : (a) on fournit un substrat SOI ayant une structure SOI comprenant un substrat semiconducteur, une couche diélectrique enterrée, et une couche SOI; (b) on enlève sélectivement la couche SOI pour former une multiplicité de tranchées s'étendant à travers la couche SOI et comprenant une première tranchée et une seconde tranchée, grâce à quoi des régions de la couche SOI qui s'étendent entre la multiplicité de tranchées constituent une multiplicité de régions de formation de dispositif; (c) on dépose sélectivement une couche de silicium polycristallin sur des surfaces de fond et latérales de la première tranchée; (d) on remplit les première et seconde tranchées avec une pellicule diélectrique; (e) on oxyde partiellement la couche de silicium polycristallin dans la première tranchée, dans une direction orientée à partir d'une ouverture de la première tranchée vers le fond de celle-ci, la pellicule diélectrique dans la première tranchée et la couche de silicium polycristallin laissée non oxydée dans la première tranchée constituant une région d'isolation partielle, la pellicule diélectrique dans la seconde tranchée constituant une région d'isolation complète; et (f) on forme un dispositif prédéterminé dans chacune de la multiplicité de régions de formation de dispositif.

Un quarante-quatrième aspect de la présente invention porte sur un procédé de fabrication d'un dispositif à semiconducteur. Confor-



mément à la présente invention, le procédé comprend les étapes suivantes : (a) on fournit un substrat SOI ayant une structure SOI comprenant un substrat semiconducteur, une couche diélectrique enterrée et une couche SOI; (b) on enlève sélectivement la couche SOI pour former une  
5 multiplicité de régions de formation de dispositif; (c) on attaque de façon isotrope la couche diélectrique enterrée, tout en masquant la multiplicité de régions de formation de dispositif, de façon qu'une surface de fond de parties d'extrémités de l'une au moins de la multiplicité de régions de formation de dispositif soit mise à nu, et qu'une partie supérieure de la  
10 couche diélectrique enterrée soit enlevée, pour former ainsi un trou; (d) on remplit le trou avec une couche de silicium polycristallin pour former une région de corps comprenant la couche de silicium polycristallin et connectée électriquement à la surface de fond des parties d'extrémités de la région ou des régions de la multiplicité de régions de formation de dispositif; (e) on isole les unes des autres de façon diélectrique la multi-  
15 plicité de régions de formation de dispositif dans la couche SOI; et (f) on permet à la région de corps de fixer un potentiel électrique de façon externe et on forme un dispositif prédéterminé dans chacune de la multiplicité de régions de formation de dispositif.

20 De préférence, selon un quarante-cinquième aspect de la présente invention, dans le procédé du quarante-quatrième aspect, l'étape (d) comprend les étapes suivantes : (d-1) on forme une couche épitaxiale dans le trou par croissance épitaxiale à partir de la surface de fond des parties d'extrémités de la région ou des régions de la multiplicité de ré-  
25 gions de formation de dispositif; et (d-2) on remplit le trou avec la couche de silicium polycristallin de façon que la couche de silicium polycristallin soit en contact avec la couche épitaxiale, pour former la région de corps constituée par la couche épitaxiale et la couche de silicium polycristallin.

De préférence, selon un quarante-sixième aspect de la présente  
30 invention, dans le procédé du trente-huitième aspect, l'étape (d) comprend l'étape (d-1) consistant à implanter une impureté d'un premier type de conductivité de façon à établir un maximum d'une distribution de concentration d'impureté dans une partie supérieure de la couche SOI, et à occasionner un phénomène de canalisation, pour former une région ac-  
35 tive du dispositif prédéterminé.



Selon un quarante-septième aspect de la présente invention, un procédé de fabrication d'un dispositif à semiconducteur comprend les étapes suivantes : (a) on fournit un substrat SOI ayant une structure SOI comprenant un substrat semiconducteur, une couche diélectrique enterrée, et une couche SOI; (b) on forme sélectivement au moins une première tranchée s'étendant à travers la couche SOI à partir d'une surface supérieure de celle-ci; (c) on forme sélectivement une multiplicité de secondes tranchées qui ne s'étendent pas à travers la couche SOI à partir de la surface supérieure de celle-ci, grâce à quoi des régions de la couche SOI qui s'étendent entre la multiplicité de secondes tranchées constituent une multiplicité de régions de formation de dispositif, la multiplicité de secondes tranchées comprenant une tranchée combinée et une tranchée non traversante, la tranchée combinée contenant la ou les premières tranchées et ayant une largeur supérieure à celle de la première tranchée ou des premières tranchées, pour inclure ainsi une partie traversante dans laquelle la première ou les premières tranchées sont formées, et une partie non traversante qui est le reste de la tranchée combinée, la tranchée non traversante comprenant seulement une partie non traversante sans contenir la ou les premières tranchées; (d) on remplit avec une pellicule diélectrique chaque tranchée parmi la tranchée combinée et la tranchée non traversante, la pellicule diélectrique dans la partie non traversante de la tranchée combinée et la partie de la couche SOI qui s'étend au-dessous de la partie non traversante de la tranchée combinée constituant une partie d'isolation partielle, la pellicule diélectrique dans la partie traversante constituant une partie d'isolation complète, la partie d'isolation partielle et la partie d'isolation complète constituant une région d'isolation combinée, la pellicule diélectrique dans la tranchée non traversante et une partie de la couche SOI qui s'étend au-dessous de la tranchée non traversante constituant une région d'isolation partielle; et (e) on forme un dispositif prédéterminé dans chacune de la multiplicité de régions de formation de dispositif.

Un quarante-huitième aspect de la présente invention porte sur un procédé de conception d'un dispositif à semiconducteur comprenant un substrat semiconducteur, une couche diélectrique enterrée, et une couche SOI dans laquelle un dispositif CMOS doit être formé. Conformé-



ment à la présente invention, le procédé comprend les étapes suivantes :  
(a) on obtient des données passées concernant un dispositif CMOS comprenant un premier transistor MOS d'un premier type de conductivité formé dans une région de caisson et un second transistor MOS d'un second type de conductivité formé à l'extérieur de la région de caisson; (b) on définit une première région de formation de transistor MOS du premier type de conductivité et une seconde région de formation de transistor MOS du second type de conductivité, sur la base des données passées; et (c) on définit une région d'isolation complète comprenant une région diélectrique complète s'étendant à travers la couche SOI au voisinage d'une périphérie extérieure de la région de caisson définie par les données passées.

Comme décrit ci-dessus, dans le dispositif à semiconducteur conforme au premier aspect de la présente invention, au moins une partie de la région ou des régions d'isolation comprend la région d'isolation partielle ayant la région diélectrique partielle formée dans sa partie supérieure et la région de semiconducteur formée dans sa partie inférieure, et constituant une partie de la couche SOI, la région de semiconducteur étant formée en contact avec l'une au moins de la multiplicité de régions de formation de dispositif et la région de corps. Par conséquent, la région diélectrique partielle isole les unes des autres de façon diélectrique la multiplicité de régions de formation de dispositif, et la région de semiconducteur et la région de corps fixent le potentiel électrique de la région ou des régions de formation de dispositif.

Il en résulte qu'on obtient le dispositif à semiconducteur ayant la structure SOI dans laquelle la région ou les régions de formation de dispositif présentent un effet de substrat flottant réduit.

Dans le dispositif à semiconducteur conforme au second aspect de la présente invention, la multiplicité de premières régions de formation de dispositif sont isolées les unes des autres par la première région d'isolation partielle, et la multiplicité de secondes régions de formation de dispositif sont isolées les unes des autres par la seconde région d'isolation partielle. La région d'isolation complète s'étendant à travers la couche SOI assure l'isolation entre la multiplicité de premières régions de formation de dispositif et la multiplicité de secondes régions de formation



de dispositif. Ceci permet d'isoler complètement les uns des autres, de façon diélectrique, les régions de formation de dispositif pour différents types de dispositifs, et réduit l'effet de substrat flottant des régions de formation de dispositif pour le même type de dispositifs.

5 Dans le dispositif à semiconducteur conforme au troisième aspect de la présente invention, la multiplicité de régions de formation de dispositif pour le premier circuit sont isolées les uns des autres par la région d'isolation complète s'étendant à travers la couche SOI, et la multiplicité de régions de formation de dispositif pour le second circuit sont  
10 isolées les uns des autres par la région d'isolation partielle.

Ainsi, un circuit pour lequel l'influence de l'effet de substrat flottant est sérieusement prise en considération peut être traité comme le second circuit, et un circuit pour lequel il n'est pas nécessaire de prendre sérieusement en considération l'influence de l'effet de substrat flottant  
15 peut être traité comme le premier circuit. Ceci procure une isolation diélectrique appropriée basée sur les propriétés des circuits à former.

Dans le dispositif à semiconducteur conforme au quatrième aspect de la présente invention, la première couche SOI partielle a une épaisseur inférieure à celle de la seconde couche SOI partielle. La multiplicité de régions de formation de dispositif pour le premier circuit sont  
20 formées dans la première couche SOI partielle, et la multiplicité de régions de formation de dispositif pour le second circuit sont formées dans la seconde couche SOI partielle.

Ainsi, en utilisant la différence d'épaisseur entre les première et  
25 seconde couches SOI partielles, une tranchée pour l'isolation complète qui s'étend à travers la première couche SOI partielle et une tranchée pour l'isolation partielle qui ne s'étend pas à travers la seconde couche SOI partielle peuvent être formées simultanément respectivement dans les première et seconde couches SOI partielles. Ceci simplifie les étapes  
30 de fabrication.

Dans le dispositif à semiconducteur conforme au cinquième aspect de la présente invention, la région d'isolation complète s'étendant à travers la couche SOI procure une isolation entre la région de formation de dispositif pour le circuit prédéterminé et la région de formation de dispositif pour le circuit autre que le circuit prédéterminé. Par conséquent,  
35



le circuit autre que le circuit prédéterminé peut exclure complètement l'influence du circuit prédéterminé.

5 Dans le dispositif à semiconducteur conforme au sixième aspect de la présente invention, la région active du dispositif formé dans la région de formation de dispositif isolée par la région d'isolation partielle, est formée à une profondeur à partir de la surface de la couche SOI qui est inférieure à la profondeur à laquelle la région d'isolation partielle est formée. Ceci minimise la dégradation des caractéristiques d'isolation de la région d'isolation partielle.

10 Dans le dispositif à semiconducteur conforme au septième aspect de la présente invention, la région de semiconducteur comprend la région de silicium polycristallin. Par conséquent, la région de semiconducteur est formée avec une précision élevée.

15 Dans le dispositif à semiconducteur conforme au huitième aspect de la présente invention, la région d'isolation diélectrique partielle comprend la pellicule à faible constante diélectrique. Ceci minimise la perturbation qui est occasionnée par la capacité de la région d'isolation diélectrique partielle.

20 Dans le dispositif à semiconducteur conforme au neuvième aspect de la présente invention, la région diélectrique partielle comprend la pellicule diélectrique partielle formée au moins sur la surface latérale, et la pellicule à faible constante diélectrique formée dans les autres régions. La pellicule diélectrique partielle peut effectivement atténuer l'influence du dispositif disposé dans une relation latérale avec la région diélectrique partielle. En même temps, la perturbation occasionnée par la capacité de la région diélectrique partielle est atténuée.

25 Le dispositif à semiconducteur conforme au dixième aspect de la présente invention comprend la multiplicité de régions d'isolation dont l'une au moins a la largeur prédéterminée et s'étend de façon pratiquement perpendiculaire à la surface du substrat semiconducteur. Ceci assure l'isolation des dispositifs sans réduire le degré d'intégration.

30 Le dispositif à semiconducteur conforme au onzième aspect de la présente invention comprend la région de corps formée en contact avec la surface supérieure ou inférieure de l'une au moins de la multiplicité de régions de formation de dispositif. Par conséquent, la région de

35



corps peut fixer le potentiel électrique de la région ou des régions de formation de dispositif.

Dans le dispositif à semiconducteur conforme au douzième aspect de la présente invention, la région de corps est formée dans la partie supérieure de la couche diélectrique enterrée se trouvant au-dessous de la couche SOI, pour minimiser les effets nuisibles sur les caractéristiques d'isolation de dispositifs dans la région d'isolation.

Dans le dispositif à semiconducteur conforme au treizième aspect de la présente invention, la région de corps s'étend à travers la couche diélectrique enterrée. Par conséquent, le potentiel électrique de la région ou des régions de formation de dispositif peut être fixé par l'intermédiaire de la région de corps placée plus près du substrat semiconducteur.

Dans le dispositif à semiconducteur conforme au quatorzième aspect de la présente invention, la région de corps est formée sur la région ou les régions de formation de dispositif, et en contact avec la surface supérieure de la région ou des régions de formation de dispositif. La région de corps est donc formée relativement aisément.

Dans le dispositif à semiconducteur conforme au quinzième aspect de la présente invention, au moins une partie de la région ou des régions d'isolation comprend en outre la région d'isolation combinée incluant la région d'isolation partielle et la région diélectrique complète s'étendant à travers la couche SOI, la région d'isolation partielle et la région diélectrique complète étant mutuellement continues. Deux au moins des régions de formation de dispositif qui sont mutuellement isolées par la région d'isolation combinée sont complètement isolées l'une de l'autre de façon diélectrique par la région diélectrique complète de la région d'isolation combinée.

Le dispositif à semiconducteur conforme au seizième aspect de la présente invention comprend la région d'isolation partielle ayant la surface supérieure plane et uniforme, ce qui facilite la définition de motif pour former les éléments constitutifs d'un dispositif prédéterminé, par exemple l'électrode de grille d'un transistor MOS.

Dans le dispositif à semiconducteur conforme au dix-septième aspect de la présente invention, l'épaisseur de la région de semiconduc-



teur de la région d'isolation combinée n'est pas supérieure à la moitié de l'épaisseur de la couche SOI. Par conséquent, la région d'isolation combinée procure une caractéristique correspondant à un degré d'isolation suffisamment élevé.

5 Dans le dispositif à semiconducteur conforme au dix-huitième aspect de la présente invention, la largeur de la région diélectrique complète de la région d'isolation combinée n'est pas supérieure à la moitié de la largeur de la région d'isolation combinée. La région de semiconducteur de la région d'isolation partielle constituant la région d'isolation  
10 combinée a une aire suffisante, et le potentiel électrique d'une région de formation de dispositif en contact avec la région de semiconducteur est fixé avec stabilité.

Le dispositif à semiconducteur conforme au dix-neuvième aspect de la présente invention comprend la région d'isolation complète  
15 formée au moins au voisinage de la frontière entre la région de formation de transistor NMOS d'entrée/sortie et la région de formation de transistor PMOS d'entrée/sortie, pour ainsi supprimer effectivement le verrouillage à l'état passant.

Le dispositif à semiconducteur conforme au vingtième aspect de la présente invention comprend la région d'isolation complète formée en  
20 outre au voisinage de la frontière entre la région de formation de transistor d'entrée/sortie et la région de formation de circuit interne. Ceci élimine complètement l'influence de la région de formation de transistor d'entrée/sortie, sensible à des bruits provenant de la région de formation de  
25 circuit interne.

Dans le dispositif à semiconducteur conforme au vingt-et-unième aspect de la présente invention, la région d'isolation complète est formée dans l'emplacement de formation de région d'isolation complète situé à l'intérieur de la région de formation de transistor PMOS au voisinage de la frontière entre la région de formation de transistor NMOS et la  
30 région de formation de transistor PMOS. La région d'isolation partielle entoure la région de formation de transistor NMOS et la région de formation de transistor PMOS, sauf dans l'emplacement de formation de région d'isolation complète. Par conséquent, le potentiel électrique du substrat  
35 du transistor NMOS est fixé suffisamment, et l'isolation complète est as-



surée entre la région de formation de transistor NMOS et la région de formation de transistor PMOS, avec une efficacité élevée en ce qui concerne l'aire occupée.

Dans le dispositif à semiconducteur conforme au vingt-deuxième aspect de la présente invention, la région d'isolation partielle est formée dans l'emplacement de formation de région d'isolation partielle situé au moins au voisinage de la première extrémité de l'électrode de grille de la région de formation de transistor MOS. La région diélectrique complète entoure la région de formation de transistor MOS, sauf dans l'emplacement de formation de région d'isolation partielle. Par conséquent, la région d'isolation complète isole pratiquement complètement la région de formation de transistor MOS par rapport à sa région environnante, tandis que le potentiel électrique de la région de formation de canal au-dessous de l'électrode de grille du transistor MOS est effectivement fixé.

Le dispositif à semiconducteur conforme au vingt-troisième aspect de la présente invention comprend la région de corps incluant la région de corps périphérique du second type de conductivité qui entoure la région d'isolation partielle périphérique. Le fait de fixer le potentiel électrique de la région de corps périphérique permet à la région de formation de transistor d'être effectivement isolée de sa région environnante.

Le dispositif à semiconducteur conforme au vingt-quatrième aspect de la présente invention comprend la région de corps adjacente à la source, disposée en position adjacente à la région de source de la région de formation de transistor MOS, et connectée en commun avec la région de source par la région de fixation de potentiel électrique. Du fait que la région de corps adjacente à la source est formée en position adjacente à la région de source, le degré d'intégration est augmenté en correspondance.

Dans le dispositif à semiconducteur conforme au vingt-cinquième aspect de la présente invention, la région de semiconducteur de la région d'isolation partielle comprend les première et seconde régions de semiconducteur partielles, ayant des concentrations en impureté différentes. Ceci procure la région de semiconducteur convenant pour la caractéristique d'isolation de la région d'isolation partielle et la réduction



de l'effet de substrat flottant.

Dans le dispositif à semiconducteur conforme au vingt-sixième aspect de la présente invention, la première région de semiconducteur partielle ayant une concentration en impureté relativement élevée comprend la région périphérique disposée en position adjacente à l'une de la multiplicité de régions de formation de dispositif qui doit être isolée. Ceci renforce la résistance au claquage du fait de l'isolation de la région d'isolation partielle.

Dans le dispositif à semiconducteur conforme au vingt-septième aspect de la présente invention, la première région de semiconducteur partielle ayant une concentration en impureté relativement élevée comprend la région adjacente à l'électrode de grille de la région de formation de transistor MOS, et la seconde région de semiconducteur partielle ayant une concentration en impureté relativement faible comprend la région adjacente au drain/source de la région de formation de transistor MOS. Ceci permet d'obtenir la réduction de la capacité de jonction PN et l'augmentation de la résistance au claquage.

Dans le dispositif à semiconducteur conforme au vingt-huitième aspect de la présente invention, le maximum de la concentration en impureté de la région de semiconducteur de la région d'isolation partielle est plus profond à partir de la surface de la couche SOI que le maximum de la concentration en impureté de la région de drain/source de la région de formation de transistor MOS. Ceci augmente la tension de claquage de la jonction PN de la région de drain/source et de la région de semiconducteur.

Dans le dispositif à semiconducteur conforme au vingt-neuvième aspect de la présente invention, le maximum de la concentration en impureté de la région de formation de canal de la région de formation de transistor MOS est plus profond à partir de la surface de la couche SOI que le maximum de la concentration en impureté de la région de semiconducteur de la région d'isolation partielle. Par conséquent, la tension de seuil du transistor MOS ne dépasse pas une valeur désirée.

Dans le dispositif à semiconducteur conforme au trentième aspect de la présente invention, la concentration en impureté de la première région de semiconducteur partielle formée en position adjacente à



la région diélectrique complète est plus élevée que celle de la seconde région de semiconducteur partielle qui est le reste de la région de semiconducteur. Ceci a atténué des conditions indésirables résultant de contraintes appliquées à la couche SOI.

5 Dans le dispositif à semiconducteur conforme au trente-et-unième aspect de la présente invention, le rayon de courbure de la partie de coin de fond de la région d'isolation partielle est supérieur à celui de sa partie de coin de surface, grâce à quoi les contraintes appliquées à la couche SOI sont atténuées, tandis que la largeur d'isolation est réduite.

10 Dans le dispositif à semiconducteur conforme au trente-deuxième aspect de la présente invention, le rayon de courbure de la partie consistant en une marche, définie entre la région diélectrique complète et la région diélectrique partielle, est inférieur à celui de la partie de coin de fond de la région diélectrique partielle dans la région d'isolation combinée. Par conséquent, les contraintes appliquées à la couche  
15 SOI sont atténuées, tandis que la largeur d'isolation est réduite.

Le dispositif à semiconducteur conforme au trente-troisième aspect de la présente invention comprend la région d'isolation complète formée sous la région de formation d'inductance, ce qui réduit la capacité  
20 parasite associée à l'élément consistant en une inductance.

Dans le dispositif à semiconducteur conforme au trente-quatrième aspect de la présente invention, la région de corps comprend la région de corps connectée à la grille, qui est connectée électriquement à l'électrode de grille du transistor MOS formé dans la région de formation  
25 de transistor MOS, et la région d'isolation partielle entoure la région de formation de transistor MOS. Ceci améliore les performances du transistor DT-MOS qui fixe au même potentiel l'électrode de grille et la région de corps connectée à la grille.

Dans le dispositif à semiconducteur conforme au trente-cinquième aspect de la présente invention, la profondeur de la région active du dispositif est commandée de façon que la couche de déplétion s'étendant à partir de la région active n'atteigne pas la couche d'isolation enterrée dans un état de polarisation nulle. Ceci réduit la capacité de  
30 jonction entre la région de semiconducteur de la région d'isolation partielle et la région active.  
35



Dans le dispositif à semiconducteur conforme au trente-sixième aspect de la présente invention, le transistor de champ comprend la partie de grille formée entre les première et seconde régions actives et comprenant la région diélectrique partielle de transistor de champ formée  
5 dans sa partie supérieure, et la région de semiconducteur de transistor de champ formée dans sa partie inférieure, et constituant une partie de la couche SOI.

Du fait que la partie de grille a une structure fondamentalement similaire à celle de la région d'isolation partielle, la partie de grille et la  
10 région d'isolation partielle peuvent être formées en même temps, grâce à quoi le transistor de champ est formé relativement aisément.

Dans le dispositif à semiconducteur conforme au trente-septième aspect de la présente invention, la région d'isolation périphérique comprend la région d'isolation partielle ayant la région diélectrique  
15 partielle formée dans sa partie supérieure et la région de semiconducteur formée dans sa partie inférieure, et constituant une partie de la couche SOI. La région de semiconducteur de la région d'isolation partielle est formée en contact avec la région de formation de dispositif et est flottante. La région diélectrique partielle isole la région de formation de dis-  
20 positif vis-à-vis de sa région environnante, et la région de semiconducteur disperse les porteurs générés par ionisation par chocs dans la région de formation de dispositif, et la charge électrique générée par des rayons cosmiques. Par conséquent, l'augmentation de potentiel électrique est réduite, et la résistance à des erreurs fugitives est renforcée.

Dans le dispositif à semiconducteur fabriqué par le procédé conforme au trente-huitième aspect de la présente invention, une région de formation de dispositif incluse dans la multiplicité de régions de formation de dispositif, et isolée par la pellicule diélectrique dans la ou les  
25 tranchées et la partie de la couche SOI qui s'étend au-dessous de la tranchée ou des tranchées, est isolée avec l'effet de substrat flottant atténué.  
30

La multiplicité de régions de formation de dispositif formées par le procédé conforme au trente-neuvième aspect de la présente invention sont isolées par la pellicule diélectrique dans la première tranchée et par  
35 la partie de la couche SOI qui s'étend au-dessous de la première tran-



chée, avec l'effet de substrat flottant atténué, et elles sont complètement isolées par la pellicule diélectrique dans la seconde tranchée s'étendant à travers la couche SOI.

5 Le procédé conforme au quarantième aspect de la présente invention utilise la différence de largeur entre les première et seconde tranchées pour pénétrer dans la couche SOI au-dessous du centre de la seconde tranchée en utilisant à titre de masque les éléments de paroi latérale, pour ainsi former sélectivement la région d'isolation partielle et la région d'isolation complète sans utiliser une résine photosensible.

10 Dans le procédé conforme au quarante-et-unième aspect de la présente invention, l'impureté est introduite dans les parties de la couche SOI qui s'étendent au-dessous de la multiplicité de tranchées, pour former les régions à concentration élevée. Grâce à ceci, le potentiel électrique de la région de formation de dispositif en contact avec les régions à  
15 concentration élevée peut être fixé à travers les régions à concentration élevée, avec une bonne stabilité.

Dans le procédé conforme au quarante-deuxième aspect de la présente invention, la couche SOI constituée par la couche de silicium et la couche épitaxiale a de bonnes caractéristiques cristallines.

20 Dans le procédé conforme au quarante-troisième aspect de la présente invention, la pellicule diélectrique dans la première tranchée et la couche de silicium polycristallin restant dans la première tranchée constituent la région d'isolation partielle. Par conséquent, la couche de silicium polycristallin connectée électriquement à une région de formation  
25 de dispositif a une épaisseur bien définie.

Dans le procédé conforme au quarante-quatrième aspect de la présente invention, le trou formé dans la couche diélectrique enterrée est rempli avec la couche de silicium polycristallin pour former la région de corps connectée électriquement à la région ou aux régions de formation  
30 de dispositif.

Par conséquent, la région de corps est formée dans la couche diélectrique enterrée s'étendant au-dessous de la couche SOI, pour minimiser l'effet nuisible sur l'isolation diélectrique que procure la région d'isolation.

35 Dans le procédé conforme au quarante-cinquième aspect de la



présente invention, la région de corps comprend la couche épitaxiale formée par croissance épitaxiale à partir de la surface inférieure des parties d'extrémités de la région ou des régions de formation de dispositif, et la couche de silicium polycristallin.

5 Par conséquent, l'existence de la couche épitaxiale autorise une distance suffisante entre un dispositif formé dans la région ou les régions de formation de dispositif, et la couche de silicium polycristallin. De ce fait, le dispositif à semiconducteur fabriqué par le procédé du quarante-cinquième aspect offre des caractéristiques électriques satisfai-  
10 santes.

Dans le procédé conforme au quarante-sixième aspect de la présente invention, l'étape (d) comprend l'étape d'implantation de l'impureté du type de conductivité prédéterminé de façon à établir le maximum de la distribution de concentration en impureté dans la partie supérieure  
15 de la couche SOI et à occasionner un phénomène de canalisation, pour former la région active du dispositif prédéterminé. Ceci procure la région active du dispositif prédéterminé qui permet au maximum de la concentration en impureté de se trouver dans la partie supérieure de la couche SOI, et qui contient l'impureté répartie jusqu'à la surface de la pellicule  
20 diélectrique enterrée, à cause du phénomène de canalisation.

Dans le procédé conforme au quarante-septième aspect de la présente invention, les étapes (b) et (c) peuvent être accomplies pour former simultanément la tranchée combinée pour la région d'isolation combinée et la tranchée non traversante pour la région d'isolation partielle.  
25

Dans l'étape (c) du procédé conforme au quarante-huitième aspect de la présente invention, la région d'isolation complète comprenant la région diélectrique complète s'étendant à travers la couche SOI, est définie au voisinage de la périphérie extérieure de la région de caisson  
30 des données passées. Par conséquent, le procédé utilise effectivement les données passées pour définir la région d'isolation complète qui isole effectivement l'une de l'autre les première et seconde régions de formation de transistor MOS.

Un but de la présente invention est donc de procurer un dispositif  
35 à semiconducteur ayant une structure SOI qui parvient à réduire



l'effet de substrat flottant.

D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre de modes de réalisation, donnés à titre d'exemples non limitatifs. La suite de la description se réfère aux dessins annexés, dans lesquels :

La figure 1 est une coupe d'une première forme d'un dispositif à semiconducteur ayant une structure SOI conforme à un premier mode de réalisation préféré de la présente invention;

La figure 2 est une coupe de la première forme du premier mode de réalisation préféré;

La figure 3 est une vue en plan de la première forme du premier mode de réalisation préféré;

La figure 4 est une coupe d'une seconde forme du dispositif à semiconducteur conforme au premier mode de réalisation préféré;

La figure 5 est une coupe d'une première forme d'un second mode de réalisation préféré conforme à la présente invention;

La figure 6 est une coupe d'une seconde forme du second mode de réalisation préféré;

La figure 7 est une coupe d'une troisième forme du second mode de réalisation préféré;

Les figures 8 à 11 sont des coupes montrant un premier processus d'isolation conforme au second mode de réalisation préféré;

Les figures 12 et 13 sont des coupes montrant un processus de formation de région de caisson à concentration élevée;

Les figures 14 à 18 sont des coupes montrant un second processus d'isolation conforme au second mode de réalisation préféré;

Les figures 19 à 22 sont des coupes montrant un troisième processus d'isolation conforme au second mode de réalisation préféré;

Les figures 23 à 27 sont des coupes montrant un quatrième processus d'isolation conforme au second mode de réalisation préféré;

La figure 28 est une coupe d'une première forme d'un troisième mode de réalisation préféré conforme à la présente invention;

La figure 29 est une coupe d'une seconde forme du troisième mode de réalisation préféré;

Les figures 30 et 31 sont des coupes d'une structure SOI con-



forme à un quatrième mode de réalisation préféré de la présente invention;

La figure 32 est une coupe d'une autre structure SOI conforme au quatrième mode de réalisation préféré;

5 Les figures 33 à 37 sont des coupes montrant un processus d'isolation conforme au quatrième mode de réalisation préféré;

La figure 38 est une coupe d'une première forme d'un cinquième mode de réalisation préféré conforme à la présente invention;

10 La figure 39 est une coupe d'une seconde forme du cinquième mode de réalisation préféré;

La figure 40 est une coupe d'une troisième forme du cinquième mode de réalisation préféré;

La figure 41 est une coupe d'une première forme d'un sixième mode de réalisation préféré conforme à la présente invention;

15 La figure 42 est une coupe d'une seconde forme du sixième mode de réalisation préféré;

Les figures 43 à 45 sont des coupes montrant un premier processus de formation de région de connexion conforme au sixième mode de réalisation préféré;

20 Les figures 46 à 48 sont des coupes montrant un second processus de formation de région de connexion conforme au sixième mode de réalisation préféré;

Les figures 49 à 51 sont des coupes montrant un troisième processus de formation de région de connexion conforme au sixième mode de réalisation préféré;

25 La figure 52 est une coupe d'une troisième forme du sixième mode de réalisation préféré;

La figure 53 est une coupe d'une quatrième forme du sixième mode de réalisation préféré;

30 La figure 54 est une coupe d'une cinquième forme du sixième mode de réalisation préféré;

La figure 55 est une coupe d'une quatrième forme du second mode de réalisation préféré;

35 La figure 56 est une coupe d'une cinquième forme du second mode de réalisation préféré;



La figure 57 est une coupe d'une sixième forme du second mode de réalisation préféré;

Les figures 58 à 62 sont des coupes montrant un cinquième processus d'isolation conforme au second mode de réalisation préféré,

5 La figure 63 illustre un procédé de définition d'une région d'isolation complète conforme à un septième mode de réalisation préféré de la présente invention;

La figure 64 illustre le phénomène de verrouillage à l'état passant;

10 La figure 65 est une coupe d'une première forme d'un huitième mode de réalisation préféré conforme à la présente invention;

La figure 66 est un schéma d'un circuit d'entrée;

La figure 67 est un schéma d'un circuit de sortie;

15 La figure 68 est une coupe d'une seconde forme du huitième mode de réalisation préféré;

La figure 69 est une vue en plan d'une troisième forme du huitième mode de réalisation préféré;

La figure 70 est une vue en plan d'une première forme d'un neuvième mode de réalisation préféré conforme à la présente invention;

20 La figure 71 est une coupe selon la ligne A-A de la figure 70;

La figure 72 est une vue en plan d'une seconde forme du neuvième mode de réalisation préféré;

La figure 73 est une coupe selon la ligne B-B de la figure 72;

25 La figure 74 est une vue en plan d'une première forme d'un dixième mode de réalisation préféré conforme à la présente invention;

La figure 75 est une vue en plan d'une seconde forme du dixième mode de réalisation préféré;

La figure 76 est une vue en plan d'une première forme d'un onzième mode de réalisation préféré conforme à la présente invention;

30 La figure 77 est une vue en plan d'une seconde forme du onzième mode de réalisation préféré;

La figure 78 est une vue en plan d'une première forme d'un douzième mode de réalisation préféré conforme à la présente invention;

La figure 79 est une coupe selon la ligne C-C de la figure 78;

35 La figure 80 est une vue en plan d'une seconde forme du dou-



zième mode de réalisation préféré;

La figure 81 est une coupe selon la ligne D-D de la figure 80;

La figure 82 est une vue en plan d'une troisième forme du douzième mode de réalisation préféré;

5 La figure 83 est une coupe d'un treizième mode de réalisation préféré conforme à la présente invention;

La figure 84 illustre une caractéristique d'une première forme d'un quatorzième mode de réalisation préféré conforme à la présente invention;

10 La figure 85 illustre une caractéristique d'une seconde forme du quatorzième mode de réalisation préféré;

La figure 86 est une coupe d'une première forme d'un quinzième mode de réalisation préféré conforme à la présente invention;

15 La figure 87 est une vue en plan d'une seconde forme du quinzième mode de réalisation préféré;

La figure 88 est une coupe d'une première forme d'un seizième mode de réalisation préféré conforme à la présente invention;

La figure 89 est une coupe d'une seconde forme du seizième mode de réalisation préféré;

20 La figure 90 est une coupe d'une première forme d'un dix-septième mode de réalisation préféré conforme à la présente invention;

La figure 91 est un schéma de circuit montrant une configuration de circuit du dix-septième mode de réalisation préféré;

25 La figure 92 est une coupe d'une seconde forme du dix-septième mode de réalisation préféré;

La figure 93 est une vue en plan d'un transistor DT-MOS d'un dix-huitième mode de réalisation préféré conforme à la présente invention;

30 La figure 94 est une coupe d'un dix-neuvième mode de réalisation préféré conforme à la présente invention;

La figure 95 est une coupe d'une première forme d'un vingtième mode de réalisation préféré conforme à la présente invention;

35 La figure 96 est un schéma d'un circuit d'entrée auquel des transistors de champ sont appliqués, conformément au vingtième mode de réalisation préféré;



La figure 97 est un schéma d'un circuit de sortie auquel les transistors de champ sont appliqués, conformément au vingtième mode de réalisation préféré;

5 La figure 98 est une coupe d'une seconde forme du vingtième mode de réalisation préféré;

La figure 99 est une vue en plan d'une troisième forme du vingtième mode de réalisation préféré;

La figure 100 illustre une distribution d'impureté dans une région de drain/source;

10 La figure 101 est une coupe selon la ligne E-E de la figure 74; et

La figure 102 est une coupe d'un dispositif à semiconducteur de l'art antérieur ayant la structure SOI.

#### Premier mode de réalisation préféré

15 Les figures 1 à 3 montrent la structure d'un dispositif à semiconducteur ayant une structure SOI conforme à un premier mode de réalisation préféré de la présente invention. Les figures 1 et 2 sont des coupes, et la figure 3 est une vue en plan. Les coupes selon les lignes A-A et B-B correspondent respectivement aux figures 1 et 2.

20 Comme représenté sur les figures 1 à 3, le dispositif à semiconducteur ayant la structure SOI constituée par un substrat en silicium 1, une pellicule d'oxyde enterrée 2 et une couche SOI 3, est formé de façon qu'une pellicule d'oxyde partielle 31 avec des régions de caisson formées au-dessous d'elle isole les uns des autres des régions de formation de transistor dans la couche SOI 3. Une région de caisson de type p 11 est formée au-dessous d'une partie de la pellicule d'oxyde partielle 31 qui isole les uns des autres des transistors NMOS. Une région de caisson de type n 12 est formée au-dessous d'une partie de la pellicule d'oxyde partielle 31 qui isole les uns des autres des transistors PMOS.

30 La région de caisson de type p 11 (plus proche des transistors NMOS) et la région de caisson de type n 12 (plus proche des transistors PMOS) sont formées au-dessous d'une partie de la pellicule d'oxyde partielle 31 qui isole les uns des autres les transistors NMOS et PMOS. La région de caisson 11 est formée de façon à entourer les régions de drain et de

35 source 5 et 6 d'un groupe de transistors NMOS, et la région de caisson



12 est formée de façon à entourer les régions de drain et de source 5 et 6 d'un groupe de transistors PMOS. Dans le premier mode de réalisation préféré, une pellicule diélectrique inter-couche 4 recouvre la couche SOI 3.

5           Un seul transistor MOS isolé d'autres transistors par la pellicule d'oxyde partielle 31 dans le premier mode de réalisation préféré, comprend une région de drain 5, une région de source 6 et une région de formation de canal 7 qui sont formées dans la couche SOI 3, une pellicule d'oxyde de grille 8 qui est formée sur la région de formation de canal 7, et une électrode de grille 9 qui est formée sur la pellicule d'oxyde de grille 8. Une couche d'interconnexion 22 formée sur la pellicule diélectrique inter-couche 4 est connectée électriquement à la région de drain 6 ou la région de source 6 à travers un contact formé dans la pellicule diélectrique inter-couche 4.

15           Comme illustré sur les figures 2 et 3, une région de corps 10 est entourée par la région de caisson 11 dans la couche SOI 3. La région de corps 10 est en contact avec une partie adjacente de la région de caisson 11. Une couche d'interconnexion 25 formée sur la pellicule diélectrique inter-couche 4 est connectée électriquement à la région de corps 10 à travers un contact de corps 23 formé par la pellicule diélectrique inter-couche 4. Une couche d'interconnexion 26 formée sur la pellicule diélectrique inter-couche 4 est connectée électriquement à l'électrode de grille 9 à travers un contact de grille 24 formé dans la pellicule diélectrique inter-couche 4.

25           Ainsi, comme représenté sur les figures 1 à 3, le dispositif à semiconducteur du premier mode de réalisation préféré diffère du dispositif à semiconducteur de l'art antérieur représenté sur la figure 102 par le fait que la pellicule d'oxyde partielle 31 dans une région d'isolation n'atteint pas le fond de la couche SOI 3, et les régions de caisson 11 et 12 dopées avec des impuretés du même type de conductivité que la région de formation de canal du transistor à isoler, sont formées au-dessous de la pellicule d'oxyde partielle 31.

30           Par conséquent, le potentiel électrique du substrat de chaque transistor NMOS est fixé par l'intermédiaire de la couche d'interconnexion 25, le contact de corps 23, la région de corps à concentration élevée 10



et la région de caisson 11. De façon similaire, le potentiel électrique du substrat de chaque transistor PMOS est fixé par l'intermédiaire de la région de corps.

Les détails du dispositif à semiconducteur du premier mode de réalisation préféré sont décrits ci-dessous en se référant aux figures 1 à 3. La pellicule d'oxyde enterrée 2 a une épaisseur de l'ordre de 100 à 500 nm, et la couche SOI 3 a une épaisseur de l'ordre de 30 à 200 nm. La région de formation de canal 7 est formée, par exemple, par l'implantation d'impuretés d'un premier type de conductivité (impureté de type p pour les transistors NMOS, et impureté de type n pour les transistors PMOS) ayant une concentration de l'ordre de  $10^{17}$  à  $10^{18}$  impuretés/cm<sup>3</sup>. Les régions de drain et de source 5 et 6 adjacentes à la région de formation de canal 7 sont formées, par exemple, par l'implantation d'impuretés d'un second type de conductivité (impureté de type n pour les transistors NMOS, et impureté de type p pour les transistors PMOS), ayant une concentration de l'ordre de  $10^{19}$  à  $10^{21}$  impuretés/cm<sup>3</sup>.

La pellicule d'oxyde partielle 31 pour isoler les uns des autres des transistors adjacents est formée en laissant des parties inférieures de la couche SOI 3, qui sont de l'ordre de 10 à 100 nm, pour la formation des régions de caisson. Il est souhaitable en termes de micro-usinage que la surface supérieure de la pellicule d'oxyde partielle 31 soit au même niveau que la surface de la couche SOI 3. Cependant, lorsque la couche SOI 3 est relativement mince, il est difficile de faire en sorte que la pellicule d'oxyde partielle 31 ait une épaisseur exigée pour l'isolation. Par conséquent, le fait d'élever la surface supérieure de la pellicule d'oxyde partielle 31 jusqu'à un niveau supérieur à celui de la surface de la couche SOI 3 améliore les performances d'isolation.

Les régions de caisson 11 et 12 formées au-dessous de la pellicule d'oxyde partielle 31 pour l'isolation par pellicule d'oxyde sont du même type de conductivité que la région de formation de canal (et ont une concentration en impureté qui est par exemple de  $10^{17}$  à  $5 \times 10^{18}$  impuretés/cm<sup>3</sup>; la concentration en impureté des régions de caisson 11 et 12 est égale ou supérieure à celle de la région de formation de canal; un effet de prévention de claquage et les performances d'isolation sont d'autant meilleures que la concentration en impureté est élevée).



Comme représenté sur la figure 2, la région de corps 10 est formée par l'implantation d'impuretés du même type de conductivité que sa région de caisson 11 adjacente, et ayant une concentration relativement élevée de  $10^{19}$  à  $10^{21}$  impuretés/cm<sup>3</sup>.

5 La région de corps 10 de la figure 2 s'étend verticalement à partir de la surface supérieure jusqu'à la surface inférieure de la couche SOI 3, et le contact de corps 23 s'étend verticalement à travers la pellicule diélectrique inter-couche 4. Une région de corps comme celle représentée sur la figure 4 peut être formée à la place de la région de corps  
10 10.

En se référant à la figure 4, on note qu'une région de corps 20 est formée seulement dans une partie inférieure de la couche SOI 3, de façon à se conformer à la configuration du contact de corps 23 s'étendant à travers la pellicule diélectrique inter-couche 4 et la pellicule  
15 d'oxyde partielle 31. Dans ce cas, une région de caisson 28 est formée en position adjacente à la région de corps 20 au-dessous de la pellicule d'oxyde partielle 31.

Pour la formation de la structure de la figure 4, il est souhaitable d'implanter des impuretés à concentration élevée pour la formation de  
20 la région de corps 20, après la formation du contact.

Pour l'isolation de dispositifs du même type de conductivité, les régions de caisson 11 et 12 peuvent être formées seulement par l'implantation d'impuretés du même type de conductivité que la région de formation de canal. Cependant, pour l'isolation entre les transistors  
25 PMOS et NMOS, il est nécessaire de former la région de caisson de type p 11 adjacente au transistor NMOS et la région de caisson de type n 12 adjacente au transistor PMOS.

Une telle structure SOI peut être fabriquée en utilisant une technique d'isolation par tranchée partielle, conformément à un second  
30 mode de réalisation préféré qu'on décrira ci-après.

#### Second mode de réalisation préféré

##### Première forme

La figure 5 est une coupe d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme au second mode de réalisation préféré de la présente invention.  
35



Comme représenté sur la figure 5, le second mode de réalisation préféré est adapté de façon que la pellicule d'oxyde partielle 31 et la région de caisson 11 (12) formée au-dessous d'elle isolent les uns des autres les transistors NMOS, et isolent les uns des autres les transistors PMOS, tandis qu'une pellicule d'oxyde complète 32 assure l'isolation entre les transistors PMOS et NMOS. Une telle configuration est plus avantageuse que la configuration du premier mode de réalisation préféré, dans la mesure où elle réduit la largeur d'isolation entre les transistors PMOS et NMOS et empêche le verrouillage à l'état passant.

Lorsque les régions de source et de drain 6 et 5 sont formées par implantation ionique pour réaliser la structure de la figure 5, il y a un danger que des ions implantés dans le but de former les régions de drain et de source 5 et 6 traversent la pellicule d'oxyde partielle 32 en pénétrant dans la région de caisson 11 (12) s'étendant au-dessous de la pellicule d'oxyde partielle 31 qui doit être du type de conductivité opposé à celui des régions de drain et de source 5 et 6, ce qui a pour effet de dégrader les caractéristiques d'isolation de la pellicule d'oxyde partielle 31 et de la région de caisson 11.

#### Seconde forme

Pour éviter une telle situation, il est préférable de former une région de drain 5s et une région de source 6s à une profondeur suffisamment inférieure à l'épaisseur de la couche SOI 3, comme illustré dans une seconde forme du second mode de réalisation préféré de la figure 6. En d'autres termes, les régions de drain et de source 5s et 6s doivent être moins profondes que la surface inférieure de la pellicule d'oxyde partielle 31. On peut effectuer une implantation ionique à faible énergie pour former les régions de drain et de source 5s et 6s à une position de faible profondeur, comme représenté sur la figure 6.

De façon idéale, la région de drain 5s et la région de source 6s ont une profondeur qui remplit la condition selon laquelle une couche de déplétion s'étendant à partir de la source/drain atteint la pellicule d'oxyde enterrée 2 dans un état de polarisation nulle (dans lequel une tension de polarisation de 0 V est appliquée à une jonction PN).

Ceci vient du fait que la couche de déplétion de source/drain qui atteint la pellicule d'oxyde enterrée 2 dans l'état de polarisation nulle



renforce la caractéristique d'isolation d'une région d'isolation partielle comprenant la pellicule d'oxyde partielle 31 et la région de caisson 11 (12), tout en réduisant la capacité de jonction de la région de source/drain 5s/6s et de la région de caisson 11 (12).

5                    Troisième forme

Comme illustré dans une troisième forme du second mode de réalisation préféré de la figure 7, une pellicule d'oxyde 33 s'étendant verticalement à partir de la surface supérieure jusqu'à la surface inférieure de la couche SOI 3, à l'exception de parties de sa région inférieure qui remplissent la fonction d'une région de caisson 29, peut être utilisée pour réaliser une isolation complète entre les transistors NMOS et PMOS. La troisième forme du second mode de réalisation préféré peut aisément former une tranchée pour la pellicule d'oxyde 33 simultanément à une tranchée pour la pellicule d'oxyde partielle 31, pour augmenter ainsi la possibilité d'avoir une disposition d'éléments plus commode que dans le cas de l'isolation utilisant la pellicule d'oxyde complète 32.

L'isolation complète que procure la pellicule d'oxyde 33 est appelée ci-après dans certains cas l'isolation procurée par une région d'isolation combinée, comprenant une région d'isolation complète et une région d'isolation partielle qui sont mutuellement continues, la région d'isolation complète comprenant une partie traversante de la pellicule d'oxyde 33 qui s'étend à travers la couche SOI 3, la région d'isolation partielle comprenant une partie non traversante de la pellicule d'oxyde 33 qui ne s'étend pas à travers la couche SOI 3, et la région de caisson 29 constituant une partie de la couche SOI 3 au-dessous de la partie non traversante.

Quatrième forme

Dans une quatrième forme du second mode de réalisation préféré représentée sur la figure 55, la pellicule d'oxyde partielle 31 qui procure une isolation partielle par elle-même et la pellicule d'oxyde 33 de la région d'isolation combinée ont une surface supérieure plane et uniforme, ce qui facilite la définition de motif pour la formation de l'électrode de grille 9.



#### Cinquième forme

La figure 56 est une coupe détaillée de la pellicule d'oxyde 33 de la région d'isolation combinée représentée sur la figure 7. Comme représenté sur la figure 56, la pellicule d'oxyde 33 a une partie centrale (la partie traversante) s'étendant verticalement à partir de la surface supérieure jusqu'à la surface inférieure de la couche SOI 3, et une partie périphérique (la partie non traversante) qui ne s'étend pas jusqu'à sa surface inférieure. La partie de la couche SOI 3 qui reste au-dessous de la partie périphérique de la pellicule d'oxyde 33 constitue la région de caisson 29. La pellicule d'oxyde 33 ayant une telle structure est formée de façon à vérifier l'inégalité  $TA > TB$ , en désignant par TA l'épaisseur de la partie de la couche SOI 3 qui s'étend au-dessus de la région de caisson 29, et par TB l'épaisseur de la partie de la couche SOI 3 qui s'étend au-dessous de la partie périphérique de la pellicule d'oxyde 33 (ou l'épaisseur de la région de caisson 29). Plus précisément, l'épaisseur de la région de caisson 29 est fixée à moins de la moitié de l'épaisseur ( $TA + TB$ ) de la couche SOI 3.

La formation de la pellicule d'oxyde 33 de façon que l'inégalité  $TA > TB$  soit vérifiée, comme illustré dans la cinquième forme du second mode de réalisation préféré, augmente suffisamment une tension de seuil résultant de l'isolation que procure la pellicule d'oxyde 33 (ou une tension de seuil lorsque la pellicule d'oxyde 33 est considérée comme une pellicule d'oxyde de grille), pour offrir une tension de claquage d'isolation suffisamment élevée, et de plus elle réduit suffisamment l'aire d'une jonction PN de la région de drain/source en contact avec la région de caisson 29, et de la région de caisson 29, pour réduire la génération d'un courant de fuite. Ceci réduit la capacité de la jonction PN pour parvenir à un fonctionnement rapide du dispositif à semiconducteur.

#### Sixième forme

La figure 57 est une coupe détaillée de la pellicule d'oxyde 33 représentée sur la figure 7. Comme représenté sur la figure 57, la pellicule d'oxyde 33 est formée de façon à vérifier l'inégalité  $WC < WD/2$ , en désignant par WC la largeur (qu'on appelle une largeur d'isolation complète) de la partie centrale de la pellicule d'oxyde 33 qui s'étend vertica-



lement à partir de la surface supérieure jusqu'à la surface inférieure de la couche SOI 3, et par WD la largeur (qu'on appelle une largeur d'isolation par oxyde) de la pellicule d'oxyde 33 entière.

5 La structure de la sixième forme du second mode de réalisation préféré garantit une aire suffisante de la région de caisson 29 formée au-dessous de la partie périphérique de la pellicule d'oxyde 33, pour fixer le potentiel électrique du substrat du transistor à un niveau suffisamment élevé pour atténuer l'effet de substrat flottant à travers la région de caisson 29. Par conséquent, le fonctionnement du transistor est stabilisé.

10 Le fait d'égaliser la largeur d'isolation complète WC dans une puce facilite la maîtrise de la forme de l'isolation. En outre, du fait que seule la définition de motif de la pellicule d'oxyde 33 est exigée pour procurer une isolation électrique complète entre des dispositifs, la largeur d'isolation complète WC peut être fixée à une largeur de conception  
15 minimale. Ceci minimise l'aire de puce pour augmenter fortement le niveau d'intégration.

#### Modifications

La structure pour procurer une isolation complète au moins entre les transistors NMOS et PMOS est illustrée dans le second mode de  
20 réalisation préféré. Cependant, le second mode de réalisation préféré peut être appliqué à une structure pour procurer une isolation complète entre une partie de mémoire et une partie de circuit logique dans un circuit hybride de type logique/mémoire, pour la réduction du bruit.

Une pellicule d'oxyde ayant différentes profondeurs peut être  
25 utilisée pour une multiplicité de types d'isolation partielle, au lieu d'utiliser à la fois la région d'isolation complète et la région d'isolation partielle. Dans ce cas, il n'est pas nécessaire qu'une région de caisson sous une partie de la pellicule d'oxyde qui est relativement profonde soit connectée à un matériau de contact de corps, tel qu'une région de corps,  
30 mais peut être flottante pour l'utilisation à titre de région d'isolation complète.

#### Premier procédé de fabrication (première et seconde formes)

Les figures 8 à 11 sont des coupes montrant un processus d'isolation dans un procédé de fabrication du dispositif à semiconducteur



conforme aux première et seconde formes du second mode de réalisation préféré. Le procédé représenté sur les figures 8 à 11 utilise en combinaison l'isolation par tranchée partielle et l'isolation par tranchée complète.

Initialement, comme représenté sur la figure 8, le matériau de  
5 départ est un substrat SOI constitué par le substrat en silicium 1, la pellicule d'oxyde enterrée 2 et la couche SOI 3, le substrat SOI étant formé par le procédé SIMOX ou similaire, dans lequel la pellicule d'oxyde enterrée 2 est formée par implantation d'ions d'oxygène.

En se référant à la figure 9, on note qu'on dépose sur le substrat SOI une pellicule d'oxyde 41 ayant une épaisseur d'environ 20 nm, et  
10 on dépose sur la pellicule d'oxyde 41 une pellicule de nitrure 42 ayant une épaisseur d'environ 200 nm. La définition de motif de la région d'isolation en utilisant à titre de masque une résine photosensible 43 dans laquelle on a défini un motif, attaque une pellicule à trois couches  
15 constituée par la pellicule de nitrure 42, la pellicule d'oxyde 41 et la couche SOI 3, de façon que des parties inférieures de la couche SOI 3 soient laissées, pour former une multiplicité de tranchées partielles 44. La multiplicité de tranchées partielles 44 ont une largeur prédéterminée et s'étendent de façon pratiquement perpendiculaire jusqu'à la surface du  
20 substrat en silicium 1, pour procurer une isolation qui maintient une configuration géométrique de faibles dimensions, sans dégrader le niveau d'intégration. Une implantation ionique pour la formation de régions de caisson 52 à concentration élevée (correspondant aux régions de caisson 11 et 12) comme représenté sur la figure 12, dans cet état, peut renforcer  
25 une tension de claquage d'isolation.

Ensuite, comme représenté sur la figure 10, on forme une couche de résine photosensible 45 pour recouvrir une partie de la multiplicité de tranchées partielles 44. La tranchée partielle 44 restante qui n'est pas recouverte par la résine photosensible 45 est attaquée davantage pour  
30 former une tranchée complète 48 s'étendant à travers la couche SOI 3.

Ensuite, on dépose au sommet de la structure résultante une pellicule d'oxyde ayant une épaisseur d'environ 500 nm, par le procédé de dépôt chimique en phase vapeur par plasma à haute densité (ou HDPCVD) et autres. On effectue un polissage par le procédé de polissage  
35 chimio-mécanique (ou CMP), d'une manière similaire à l'isolation



par tranchée classique, ce qui a pour effet d'enlever partiellement la pellicule de nitrure 42. Ensuite, on enlève la pellicule de nitrure 42 et la pellicule d'oxyde 41. Ceci procure une structure dans laquelle la pellicule d'oxyde partielle 31, la couche SOI 3 (régions de caisson) au-dessous, et la pellicule d'oxyde complète 32 sont formées sélectivement, comme représenté sur la figure 11. Ainsi, le fait de polir la pellicule d'oxyde par le procédé chimio-mécanique procure les surfaces supérieures planes et uniformes de la pellicule d'oxyde partielle 31 et de la pellicule d'oxyde complète 32. Lorsque l'implantation ionique représentée sur la figure 12 est effectuée après la formation de la structure de la figure 9, les régions de caisson 52 à concentration élevée sont formées au-dessous de la pellicule d'oxyde partielle 31, comme représenté sur la figure 13. Les régions de caisson 52 à concentration élevée peuvent fixer le potentiel électrique du substrat avec une meilleure stabilité.

Ensuite, on forme un transistor NMOS dans une région de formation de transistor NMOS et on forme un transistor PMOS dans une région de formation de transistor PMOS, par le procédé existant. Ceci procure la structure SOI de la première forme représentée sur la figure 5, ou la structure SOI de la seconde forme représentée sur la figure 6.

Si l'étape représentée sur la figure 10 est éliminée et les autres étapes sont accomplies de la manière indiquée ci-dessus, seules les tranchées partielles 44 sont formées et la tranchée complète 48 n'est pas formée. Ceci procure la structure du premier mode de réalisation préféré représenté sur les figures 1 à 3 (la structure dans laquelle tous les dispositifs sont isolés par la pellicule d'oxyde partielle 31).

#### Second procédé de fabrication (première et seconde formes)

Les figures 14 à 18 sont des coupes montrant d'autres processus d'isolation dans le procédé de fabrication conforme aux première et seconde formes du second mode de réalisation préféré. Le procédé représenté sur les figures 14 à 18 utilise en combinaison l'isolation par tranchée partielle et l'isolation par tranchée complète.

Initialement, comme représenté sur la figure 14, le matériau de départ est une structure multicouche qui comprend le substrat en silicium 1, la pellicule d'oxyde enterrée 2 et une couche de silicium 50. La couche de silicium 50 est formée de façon à être plus épaisse que la couche SOI



3 à obtenir finalement.

En se référant à la figure 15, on note qu'on dépose la pellicule d'oxyde 41 sur le substrat SOI, et on dépose la pellicule de nitrure 42 sur la pellicule d'oxyde 41. La définition de motif de la région d'isolation en utilisant à titre de masque la résine photosensible 46 dans laquelle on a défini un motif, attaque la pellicule de nitrure 42 et la pellicule d'oxyde 41 de façon que la surface de la couche de silicium 50 soit mise à nu, pour former la multiplicité de tranchées partielles 44.

En se référant à la figure 16, on note qu'on forme une couche de résine photosensible 49 de façon à recouvrir certaines de la multiplicité de tranchées partielles 44. La tranchée partielle 44 restante qui n'est pas recouverte par la résine photosensible 49 est attaquée davantage pour former la tranchée complète 48 s'étendant à travers la couche de silicium 50.

Ensuite, on dépose une pellicule d'oxyde au sommet de la structure résultante, par le procédé HDPCVD ou autres. On effectue un polissage par le procédé chimio-mécanique d'une manière similaire à l'isolation par tranchée classique, de façon à enlever partiellement la pellicule de nitrure 42. Ensuite, on enlève la pellicule de nitrure 42 et la pellicule d'oxyde 41. Ceci procure une structure dans laquelle la pellicule d'oxyde partielle 31, la couche de silicium 50 (région de caisson) au-dessous d'elle, et la pellicule d'oxyde complète 32 sont formées sélectivement, comme représenté sur la figure 17.

Comme illustré sur la figure 18, on forme une couche épitaxiale de silicium 51 par la croissance épitaxiale à partir de la couche de silicium 50. Ceci procure la couche SOI 3 ayant d'excellentes caractéristiques cristallines, constituée par la couche de silicium 50 et la couche épitaxiale de silicium 51.

Ensuite, on forme un transistor NMOS dans la région de formation de transistor NMOS et on forme un transistor PMOS dans la région de formation de transistor PMOS, par le procédé existant. Ceci procure la structure SOI de la première forme représentée sur la figure 5 ou la structure SOI de la seconde forme représentée sur la figure 6.

#### Troisième procédé de fabrication (troisième forme)

Les figures 19 à 22 sont des coupes montrant encore un autre



processus d'isolation dans le procédé de fabrication conforme à la troisième forme du second mode de réalisation préféré. Le procédé représenté sur les figures 19 à 22 comporte la formation de tranchées partielles ayant différentes largeurs.

5 En se référant à la figure 19, on note qu'on forme des tranchées partielles relativement larges 44A et des tranchées partielles relativement étroites 44B. On utilise les tranchées partielles 44A pour une isolation complète, et on utilise les tranchées partielles 44B pour une isolation partielle. Les tranchées partielles 44A et 44B sont formées de  
10 façon à laisser des parties inférieures de la couche SOI 3.

Ensuite, comme représenté sur la figure 20, on forme des pellicules d'oxyde 47 à titre de parois latérales sur les surfaces latérales de tranchées partielles 44A et 44B, de façon à recouvrir les surfaces de fond des tranchées partielles 44B, mais à laisser à nu les parties centrales de fond des tranchées partielles 44A. Ceci utilise le fait que la largeur des tranchées partielles 44B est inférieure à celle des tranchées partielles 44A.  
15

Comme représenté sur la figure 21, on effectue une attaque de silicium sur la couche SOI 3 en utilisant à titre de masque les pellicules d'oxyde 47, pour enlever des parties de la couche SOI 3 qui ne sont pas recouvertes par les pellicules d'oxyde 47, comprenant des parties de la couche SOI 3 qui se trouvent au-dessous des parties centrales de fond des tranchées partielles 44A, pour mettre à nu la surface de la pellicule d'oxyde enterrée 2 dans les tranchées partielles 44A.  
20

Ensuite, on dépose au sommet de la structure résultante une pellicule d'oxyde ayant une épaisseur d'environ 500 nm, par le procédé HDPCVD ou autres. On effectue un polissage par le procédé de polissage chimio-mécanique, d'une manière similaire à l'isolation par tranchée classique, de façon à enlever partiellement la pellicule de nitrure 42. Ensuite, on enlève la pellicule de nitrure 42 et la pellicule d'oxyde 41. Ceci procure une structure dans laquelle la pellicule d'oxyde partielle 31 (avec la couche SOI 3 au-dessous), et la pellicule d'oxyde 33 (avec la couche SOI 3 au-dessous de ses parties) sont formées sélectivement, comme représenté sur la figure 21.  
25  
30

35 Ensuite, on forme un transistor NMOS dans la région de forma-



tion de transistor NMOS et on forme un transistor PMOS dans la région de formation de transistor PMOS, par le procédé existant. Ceci procure la structure SOI de la troisième forme du second mode de réalisation préféré représentée sur la figure 7.

5                    Quatrième procédé de fabrication (troisième forme)

Les figures 23 à 27 sont des coupes montrant encore un autre processus d'isolation dans le procédé de fabrication conforme à la troisième forme du second mode de réalisation préféré. Le procédé représenté sur les figures 23 à 27 comporte la formation de tranchées partielles ayant différentes largeurs.

Initialement, comme représenté sur la figure 23, le matériau de départ est le substrat SOI constitué par le substrat en silicium 1, la pellicule d'oxyde enterrée 2 et la couche SOI 3.

En se référant à la figure 24, on note qu'on forme les tranchées partielles relativement larges 44A et les tranchées partielles relativement étroites 44B. On utilise les tranchées partielles 44A pour l'isolation complète, et on utilise les tranchées partielles 44B pour l'isolation partielle. Les tranchées partielles 44A et 44B sont formées de façon à laisser des parties inférieures de la couche SOI 3.

Ensuite, comme représenté sur la figure 25, on définit un motif dans la résine photosensible 49 de façon à remplir entièrement les tranchées partielles 44B et à recouvrir les surfaces latérales des tranchées partielles 44A. Ceci garantit que les parties centrales de fond des tranchées partielles 44A sont à nu.

Ensuite, en référant à la figure 26, on note qu'on effectue une attaque de silicium sur la couche SOI 3 en utilisant à titre de masque la résine photosensible 49, pour enlever des parties de la couche SOI 3 qui ne sont pas recouvertes par la résine photosensible 49, comprenant des parties de la couche SOI 3 qui se trouvent au-dessous des parties centrales de fond des tranchées partielles 44A, de façon à mettre à nu la surface de la pellicule d'oxyde enterrée 2 dans les tranchées partielles 44A.

Ensuite, on dépose une pellicule d'oxyde au sommet de la structure résultante, par le procédé HDPCVD ou autres. On effectue un polissage par le procédé de polissage chimio-mécanique d'une manière



similaire à l'isolation par tranchée classique, de façon à enlever partiellement la pellicule de nitrure 42. Ensuite, on enlève la pellicule de nitrure 42 et la pellicule d'oxyde 41. Ceci procure une structure dans laquelle la pellicule d'oxyde partielle 31 (avec la couche SOI 3 au-dessous), et la pellicule d'oxyde 33 (avec la couche SOI 3 au-dessous) sont formées sélectivement, comme représenté sur la figure 27.

#### Cinquième procédé de fabrication (troisième forme)

Les figures 58 à 62 sont des coupes montrant un processus d'isolation supplémentaire dans le procédé de fabrication conforme à la troisième forme du second mode de réalisation préféré.

Initialement, comme représenté sur la figure 58, le matériau de départ est le substrat SOI constitué par le substrat en silicium 1, la pellicule d'oxyde enterrée 2 et la couche SOI 3.

En se référant à la figure 59, on note qu'on dépose la pellicule d'oxyde 41 sur le substrat SOI, et on dépose la pellicule de nitrure 42 sur la pellicule d'oxyde 41. La définition de motif de la région d'isolation en utilisant à titre de masque une résine photosensible 213 dans laquelle on a défini un motif, attaque la pellicule de nitrure 42, la pellicule d'oxyde 41 et la couche SOI 3, de façon à mettre à nu la surface de la pellicule d'oxyde enterrée 2, pour former une multiplicité de tranchées 214.

Ensuite, comme représenté sur la figure 60, on forme sélectivement une couche de résine photosensible 215 sur la pellicule de nitrure 42 restante. La résine photosensible 215 a une ouverture incluant chacune des tranchées 214 et ayant une largeur supérieure à la largeur des tranchées 214.

Comme illustré sur la figure 61, la pellicule de nitrure 42, la pellicule d'oxyde 41 et une partie de la couche SOI 3 sont attaquées en utilisant à titre de masque la résine photosensible 215, pour former simultanément des tranchées partielles 216 avec la couche SOI 3 s'étendant au-dessous d'elles, et des tranchées combinées 217 comprenant chacune une partie traversante s'étendant à travers la couche SOI 3 dans une région centrale, et une partie non traversante au-dessous de laquelle la couche SOI 3 reste présente.

Ensuite, on dépose une pellicule d'oxyde au sommet de la structure résultante, par le procédé HDPCVD ou autres. On effectue un



polissage par le procédé de polissage chimio-mécanique d'une manière similaire à l'isolation par tranchée classique, de façon à enlever en partie la pellicule de nitrure 42. Ensuite, on enlève la pellicule de nitrure 42 et la pellicule d'oxyde 41. Ceci procure une structure dans laquelle la pellicule d'oxyde partielle 31 (avec la couche SOI 3 au-dessous d'elle), et la pellicule d'oxyde 33 (avec la couche SOI 3 au-dessous de parties d'elle) sont formées sélectivement, comme représenté sur la figure 62.

#### Sixième procédé de fabrication (troisième forme)

Dans un exemple extrême du procédé de fabrication, l'attaque de la région d'isolation partielle de façon qu'une tranchée s'étende à travers la couche SOI 3, et ensuite le remplissage de la tranchée avec une pellicule d'oxyde pour transformer la région d'isolation partielle en une région d'isolation complète, peuvent être effectués après l'étape de formation de l'électrode de grille d'un transistor isolé par isolation partielle, ou pendant l'étape ultérieure de formation d'un contact et d'une ligne d'interconnexion.

#### Modifications

Les procédés de fabrication du second mode de réalisation préféré comprennent la formation de la couche multiple de SiN/SiO<sub>2</sub> sur la couche SOI pour l'isolation par tranchée, et le remplissage des tranchées avec les pellicules d'oxyde d'isolation. On obtient des effets similaires avec divers autres procédés, par exemple un procédé comprenant le remplissage des tranchées en utilisant une couche multiple de SiN silicium polycristallin SiO<sub>2</sub>, à la place de la couche multiple de SiN/SiO<sub>2</sub>, l'oxydation de la couche multiple et l'arrondissement des coins des tranchées.

#### Troisième mode de réalisation préféré

##### Première forme

La figure 28 est une coupe d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un troisième mode de réalisation préféré de la présente invention.

Comme représenté sur la figure 28, une structure d'isolation complète utilisant la pellicule d'oxyde complète 32 est établie dans une région dans laquelle doit être formé un circuit (premier circuit) qui exige



l'intégration (du fait que la pellicule d'oxyde partielle 31 a un degré d'intégration légèrement inférieur à celui de la pellicule d'oxyde complète 32, à cause des régions de caisson formées au-dessous d'elle) mais qui est moins influencé par l'effet de substrat flottant. D'autre part, une structure d'isolation partielle utilisant la pellicule d'oxyde partielle 31 et la région de caisson 11 (12) au-dessous d'elle est établie dans une région dans laquelle doit être formé un circuit (second circuit) pour lequel l'influence de l'effet de substrat flottant est un problème. L'isolation entre la région dans laquelle le premier circuit doit être formé et la région dans laquelle le second circuit doit être formé est assurée par la structure d'isolation complète utilisant la pellicule d'oxyde complète 32.

Comme illustré sur la figure 28, des exemples du premier circuit comprennent un circuit interne et un circuit numérique, et des exemples du second circuit comprennent un circuit amplificateur-séparateur d'entrée/sortie et un circuit analogique (un circuit de boucle d'asservissement de phase et un circuit d'amplificateur de lecture). D'autres exemples du second circuit comprennent un circuit d'horloge et un circuit dynamique.

Ainsi, la première forme du troisième mode de réalisation préféré prend en considération la mesure dans laquelle le circuit à former est influencé par l'effet de substrat flottant, pour sélectionner l'utilisation de l'isolation partielle assurée par la pellicule d'oxyde partielle 31, et l'utilisation de l'isolation complète assurée par la pellicule d'oxyde complète 32, pour réaliser ainsi la structure d'isolation qui offre un excellent compromis entre l'atténuation de l'effet de substrat flottant et l'amélioration de l'intégration.

On peut obtenir la structure de la figure 28 en utilisant les premier à quatrième procédés de fabrication du second mode de réalisation préféré, pour former sélectivement la pellicule d'oxyde partielle 31 et la pellicule d'oxyde complète 32 (pellicule d'oxyde 33) pour l'isolation, et pour former ensuite les premier et second circuits.

#### Seconde forme

La figure 29 est une coupe d'une seconde forme du dispositif à semiconducteur ayant la structure SOI conforme au troisième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 29, une couche SOI partielle 3B pour la formation du premier cir-



5 cuit devant être complètement isolé, est plus mince qu'une couche SOI partielle 3A pour la formation du second circuit devant être partiellement isolé. Une pellicule d'oxyde complète 34, une région de drain 5t, une région de source 6t et une région de formation de canal 7t qui sont formées dans la couche SOI partielle 3B sont donc plus minces.

10 La seconde forme du troisième mode de réalisation préféré est caractérisée par le fait que la couche SOI partielle 3B pour la formation du premier circuit est plus mince que la couche SOI partielle 3A pour la formation du second circuit. Par conséquent, une attaque utilisant les mêmes conditions d'attaque de tranchée permet la formation séparée des tranchées partielles pour la couche SOI partielle 3A et des tranchées complètes pour la couche SOI partielle 3B. De ce fait, la seconde forme du troisième mode de réalisation préféré simplifie le procédé de fabrication; par exemple par l'omission de l'étape représentée sur la figure 10  
15 dans le premier procédé de fabrication, pour procurer l'isolation complète sur la couche SOI partielle 3B et l'isolation partielle sur la couche SOI partielle 3A.

20 Indépendamment du fait que l'isolation complète ou l'isolation partielle soit établie, il est préférable d'augmenter l'épaisseur de la couche SOI pour la formation du circuit amplificateur-séparateur d'entrée/sortie, du circuit analogique (boucle d'asservissement de phase, amplificateur de lecture), du circuit d'horloge et du circuit dynamique qui correspondent au second circuit pour lequel un potentiel de substrat fixe est exigé. La seconde forme du troisième mode de réalisation préféré est  
25 raisonnable à cet égard, et peut atténuer effectivement l'élévation de température en utilisant l'épaisseur de pellicule, en particulier si elle est appliquée à un circuit de protection.

#### Troisième forme

30 Une troisième forme du troisième mode de réalisation préféré est constituée par le dispositif à semiconducteur ayant la structure SOI dans lequel l'isolation complète utilisant au moins la pellicule d'oxyde complète 32 peut être employée pour l'isolation entre une source de bruit telle qu'un circuit d'entrée/sortie et un circuit RF et d'autres circuits, et l'isolation utilisant la pellicule d'oxyde partielle 31 pour être employée  
35 pour l'isolation d'autres parties. Ceci réduit l'influence de bruits sur le



circuit interne et minimise l'influence de l'effet de substrat flottant.

#### Quatrième mode de réalisation préféré

Les figures 30 et 31 sont des coupes du dispositif à semiconducteur ayant la structure SOI conforme à un quatrième mode de réalisation préféré de la présente invention, et elles correspondent respectivement aux coupes du premier mode de réalisation selon les lignes A-A et B-B de la figure 3.

Comme représenté sur les figures 30 et 31, le dispositif à semiconducteur ayant la structure SOI constituée par le substrat en silicium 1, la pellicule d'oxyde enterrée 2 et la couche SOI 3, est réalisé de façon qu'une pellicule d'oxyde partielle 71 avec des régions de caisson formées au-dessous, isole les uns des autres les régions de formation de transistor dans la couche SOI 3. Une région de silicium polycristallin de type p 61 est formée au-dessous d'une partie de la pellicule d'oxyde partielle 71 qui isole les uns des autres les transistors NMOS, et une autre région de silicium polycristallin de type n 62 est formée au-dessous de la partie de la pellicule d'oxyde partielle 71 qui isole les uns des autres les transistors PMOS. La région de silicium polycristallin de type p 61 (plus proche des transistors NMOS) et la région de silicium polycristallin de type n 62 (plus proche des transistors PMOS) sont formées côté à côté au-dessous de la partie de la pellicule d'oxyde partielle 71 qui isole les uns des autres les transistors NMOS et PMOS.

Comme illustré sur la figure 31, la région de corps 10 est entourée par la région de silicium polycristallin 61 dans la couche SOI 3. La région de corps 10 est en contact avec une partie adjacente de la région de silicium polycristallin 61. La couche d'interconnexion 25 formée sur la pellicule diélectrique inter-couche 4 est connectée électriquement à la région de corps 10 à travers le contact de corps 23 formé dans la pellicule diélectrique inter-couche 4.

Ainsi, le dispositif à semiconducteur du quatrième mode de réalisation préféré utilise pour les régions de caisson les régions de silicium polycristallin 61 et 62 formées au-dessous de la pellicule d'oxyde partielle 61, et son potentiel électrique est fixé à travers la région de corps 10. Par conséquent, le dispositif à semiconducteur du quatrième mode de réalisation préféré stabilise le potentiel de la région de formation de ca-



nal 7 pour réduire l'effet de substrat flottant.

Selon une variante, comme représenté sur la figure 32, la pellicule d'oxyde partielle 71 et la région de silicium polycristallin 61 (62) formée au-dessous d'elle peuvent isoler les uns des autres les transistors NMOS et isoler les uns des autres les transistors PMOS, et la pellicule d'oxyde complète 32 peut assurer l'isolation entre les transistor PMOS et NMOS. Une telle configuration est plus avantageuse que la configuration représentée sur les figures 30 et 31, dans la mesure où elle réduit la largeur d'isolation entre les transistors PMOS et NMOS et évite le phénomène de verrouillage à l'état passant.

#### Procédé de fabrication

Les figures 33 à 37 sont des coupes montrant un processus d'isolation dans le procédé de fabrication du dispositif à semiconducteur conforme au quatrième mode de réalisation préféré.

Initialement, comme représenté sur la figure 33, le matériau de départ est le substrat SOI constitué par le substrat en silicium 1, la pellicule d'oxyde enterrée 2 et la couche SOI 3. On dépose la pellicule d'oxyde 41 sur le substrat SOI, et on dépose la pellicule de nitrure 42 sur la pellicule d'oxyde 41. La définition de motif de la région d'isolation, en utilisant à titre de masque la résine photosensible 43 dans laquelle on a défini un motif, forme une multiplicité de tranchées 144 s'étendant à travers une pellicule à trois couches constituée par la pellicule de nitrure 42, la pellicule d'oxyde 41 et la couche SOI 3.

En se référant à la figure 34, on note qu'on dépose une couche de silicium polycristallin 65 avec une épaisseur de pellicule bien définie, pour recouvrir entièrement la structure résultante. Ensuite, comme représenté sur la figure 35, on forme une couche de résine photosensible 66 pour recouvrir une partie de la multiplicité de tranchées 144. On enlève par attaque la couche de silicium polycristallin 65 dans la tranchée 144 restante qui n'est pas recouverte par la résine photosensible 66, pour former la tranchée complète 48.

Ensuite, on dépose une pellicule d'oxyde de remplissage de tranchée pour recouvrir entièrement la structure résultante, par le procédé HDPCVD ou autres. On effectue un polissage par le procédé de polissage chimio-mécanique, d'une manière similaire à l'isolation par tranchée



classique, de façon à enlever en partie la pellicule de nitrure 42. Ensuite, on enlève la pellicule de nitrure 42 et la pellicule d'oxyde 41. Ceci procure une structure dans laquelle une région de silicium polycristallin 67, une pellicule d'oxyde 68 restant à l'intérieur, et la pellicule d'oxyde com-  
5 plète 32 sont formées sélectivement, comme représenté sur la figure 36.

En se référant à la figure 37, on note qu'on oxyde la région de silicium polycristallin 67 pour achever une structure d'isolation partielle ayant la pellicule d'oxyde partielle 71 qui comprend la pellicule d'oxyde 68 et la partie oxydée de la région de silicium polycristallin 67, et la ré-  
10 gion de silicium polycristallin 61 (62) laissée non oxydée.

Du fait que le degré d'oxydation de la région de silicium polycristallin 67 est supérieur à celui d'une pellicule d'oxyde 70 formée sur la couche SOI 3, une différence de niveau suffisante est occasionnée entre la surface de la couche SOI 3 et le sommet de la région de silicium polycristallin 61 (62) pour éviter un court-circuit entre l'électrode de grille 9 et la région de silicium polycristallin 61, à cause d'une défectuosité de la pellicule d'oxyde, pendant la formation de la pellicule d'oxyde de grille.  
15

Ensuite, on forme un transistor NMOS dans la région de formation de transistor NMOS et on forme un transistor PMOS dans la région de formation de transistor PMOS, par le procédé existant. Ceci procure la structure SOI représentée sur la figure 32.  
20

#### Cinquième mode de réalisation préféré

##### Première forme

La figure 38 est une coupe d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un cinquième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 38, le dispositif à semiconducteur ayant la structure SOI constituée par le substrat en silicium 1, la pellicule d'oxyde enterrée 2 et la couche SOI 3, est réalisé de façon qu'une pellicule à faible constante diélectrique (une pellicule diélectrique ayant une constante diélectrique inférieure à celle de pellicules diélectriques générales, comme la pellicule d'oxyde enterrée 2), 75, avec des régions de caisson formées au-dessous d'elle, isole les unes des autres les régions de formation de transistor dans la couche SOI 3. D'une manière similaire au premier mode de réalisation préféré, la région de caisson de type p 11 est formée au-dessous d'une  
25  
30  
35



partie de la pellicule à faible constante diélectrique 75 qui isole les uns des autres les transistors NMOS, et la région de caisson de type n 12 est formée au-dessous de la partie de la pellicule à faible constante diélectrique 75 qui isole les uns des autres les transistors PMOS. Une région de caisson de type p et une région de caisson de type n (aucune des deux n'est représentée sur la figure 38) sont formées au-dessous d'une partie de la pellicule à faible constante diélectrique 75 qui isole les uns des autres les transistors NMOS et PMOS. Le potentiel électrique peut être fixé à travers les régions de caisson décrites ci-dessus, de façon similaire à celles du premier mode de réalisation préféré, et à travers la région de corps qui leur est connectée électriquement.

Dans la structure SOI, l'épaisseur de la couche SOI 3 est dans certains cas aussi faible qu'environ 50 nm. A ce moment, il y a un risque que la région de caisson formée au-dessous de la pellicule d'oxyde d'isolation (la pellicule d'oxyde partielle 31 de la figure 1) soit placée dans une condition de déplétion ou d'inversion, en faisant ainsi circuler un courant de fuite entre les transistors devant être isolés les uns des autres.

Dans la première forme du quatrième mode de réalisation préféré, la pellicule à faible constante diélectrique 75 est utilisée pour l'isolation de dispositifs de manière à réduire suffisamment sa capacité même si son épaisseur est très faible, pour ainsi éviter effectivement la génération du courant de fuite.

La pellicule à faible constante diélectrique 75 utilisée ici est une pellicule d'oxyde de silicium (ayant une constante diélectrique relative de l'ordre de 3,9 à 4) pour l'utilisation sous la forme de la pellicule d'oxyde enterrée 2, dans laquelle est mélangé du fluor, et une pellicule organique, qui ont une constante diélectrique relative d'environ trois.

#### Seconde forme

La figure 39 est une coupe d'une seconde forme du cinquième mode de réalisation préféré. Comme représenté sur la figure 39, une pellicule à faible constante diélectrique 76 et une pellicule d'oxyde de silicium 78 formée sur les surfaces inférieure et latérales de la pellicule à faible constante diélectrique 76, sont utilisées à la place de la pellicule à faible constante diélectrique 75 de la figure 38, pour l'isolation des dis-



positifs. D'autres composants de la figure 39 sont similaires à ceux de la première forme représentée sur la figure 38.

La pellicule d'oxyde de silicium 78 est donc formée sur les surfaces inférieure et latérales de la pellicule à faible constante diélectrique 76, pour empêcher effectivement la génération de défauts à l'interface avec du silicium (région de drain 5, région de source 6, régions de caisson 11 et 12, et autres) et de charges électriques à l'interface. La pellicule d'oxyde de silicium 78 est formée en utilisant les techniques d'oxydation thermique et de dépôt chimique en phase vapeur.

#### 10 Troisième forme

La figure 40 est une coupe d'une troisième forme du cinquième mode de réalisation. Comme représenté sur la figure 40, une pellicule à faible constante diélectrique 77 et une pellicule d'oxyde de silicium 79 formée sur les surfaces latérales de la pellicule à faible constante diélectrique 77 sont utilisées à la place de la pellicule à faible constante diélectrique 75 de la figure 38, pour l'isolation des dispositifs. D'autres composants de la figure 40 sont similaires à ceux de la première forme représentée sur la figure 38.

La pellicule d'oxyde de silicium 79 est donc formée sur les surfaces latérales de la pellicule à faible constante diélectrique 77 dans le but essentiel de supprimer effectivement la génération de défauts à l'interface avec du silicium (région de drain 5 et région de source 6) disposé latéralement par rapport à elle, et également avec la région de formation de canal 7, et la génération de charges électriques à l'interface.

#### 25 Sixième mode de réalisation préféré

##### Première forme

La figure 41 est une coupe d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un sixième mode de réalisation préféré de la présente invention.

30 Comme représenté sur la figure 41, la pellicule diélectrique inter-couche 4 (bien qu'une partie correspondant à la pellicule d'oxyde complète 32 soit également illustrée sous la forme de la pellicule diélectrique inter-couche 4) isole complètement les dispositifs les uns par rapport aux autres. Une région de connexion 80 remplissant la fonction



d'une région de corps est formée dans une partie supérieure de la pelli-  
cule d'oxyde enterrée 2, et des parties de la région de connexion 80 sont  
en contact avec les surfaces inférieures des parties d'extrémités de la  
couche SOI 3 (la région de drain 5 et la région de formation de canal 7  
5 sur la figure 41) pour maintenir une connexion électrique avec celle-ci. La  
région de connexion 80 est du même type de conductivité que la région  
de formation de canal 7. On utilise des références numériques sembla-  
bles pour désigner des composants similaires à ceux des figures 1 et 2,  
et la description les concernant sera omise.

10           Ainsi, le dispositif à semiconducteur de la première forme du  
sixième mode de réalisation préféré est conçu de façon que la région de  
connexion 80, remplissant la fonction de la région de corps, soit formée  
dans la partie supérieure de la pellicule d'oxyde enterrée 2, au lieu d'être  
formée dans la couche SOI 3, pour procurer une différence de niveau au  
15 moins égale ou supérieure à l'épaisseur de la couche SOI 3, à partir de  
l'électrode de grille 9. Il en résulte que la première forme du sixième  
mode de réalisation préféré peut éviter effectivement un court-circuit gê-  
nant entre l'électrode de grille 9 et la région de connexion 80 pendant la  
fabrication.

#### 20           Seconde forme

La figure 42 est une coupe d'une seconde forme du dispositif à  
semiconducteur ayant la structure SOI conforme au sixième mode de réa-  
lisation préféré de la présente invention.

25           Comme représenté sur la figure 42, la région de drain de faible  
profondeur 5s et la région de source de faible profondeur 6s sont for-  
mées dans la partie supérieure de la couche SOI 3. D'autres composants  
de la figure 42 sont similaires à ceux de la première forme représentée  
sur la figure 41.

30           Ainsi, le dispositif à semiconducteur conforme à la seconde  
forme du sixième mode de réalisation préféré est conçu de façon que la  
région de drain de faible profondeur 5s et la région de source de faible  
profondeur 6s soient formées dans la partie supérieure de la couche SOI  
3 pour maintenir le contact avec la région de connexion 80 et pour éviter  
effectivement un courant de fuite.



### Principe du procédé de fabrication

Les figures 43 à 45 sont des coupes montrant le principe du processus de formation d'une région de silicium polycristallin remplissant la fonction de la région de connexion 80.

5           Premièrement, comme représenté sur la figure 43, on prépare la structure SOI constituée par le substrat en silicium 1, la pellicule d'oxyde enterrée 2 et la couche SOI 3, et on enlève sélectivement la couche SOI 3 à partir de la surface de la structure SOI, pour former une région de formation de dispositif isolée par tranchée.

10           En se référant à la figure 44, on note qu'on effectue une attaque par voie humide sur la pellicule d'oxyde enterrée 2 en utilisant à titre de masque la couche SOI 3, pour enlever des parties de la pellicule d'oxyde enterrée 2 qui s'étendent au-dessous de la surface inférieure des parties d'extrémités de la couche SOI 3, et des parties supérieures de la  
15           pellicule d'oxyde enterrée 2 qui ne sont pas recouvertes par la couche SOI 3, pour former ainsi des trous 94.

          Comme représenté sur la figure 45, on remplit les trous 94 avec du silicium polycristallin pour former une région de silicium polycristallin 81 pour la région de connexion 80.

20           Premier procédé de fabrication

          Les figures 46 à 48 sont des coupes montrant de façon plus détaillée un premier processus pour former la région de silicium polycristallin remplissant la fonction de la région de connexion 80.

          Premièrement, comme représenté sur la figure 46, on dépose  
25           une pellicule d'oxyde de silicium 91 sur la couche SOI 3 du substrat SOI, et on dépose une pellicule de nitrure de silicium 92 sur la pellicule d'oxyde de silicium 91. On définit un motif pour l'isolation par tranchée dans la couche SOI 3, la pellicule d'oxyde de silicium 91 et la pellicule de nitrure de silicium 92. On forme des pellicules de nitrure de silicium de  
30           paroi latérale 93 sur les surfaces latérales de la couche SOI 3, de la pellicule d'oxyde de silicium 91 et de la pellicule de nitrure de silicium 92 dans lesquelles on a défini un motif.

          En se référant à la figure 47, on note qu'on effectue une attaque par voie humide sur la pellicule d'oxyde enterrée 2, en utilisant à  
35           titre de masque la pellicule de nitrure de silicium 92 et les pellicules de



nouvelle surface inférieure, et en formant une région de connexion 86 sur une nouvelle surface supérieure. Par conséquent, la structure SOI comprend le substrat en silicium 90, la pellicule diélectrique inter-couche 4 et une région de formation de dispositif (comprenant la région de drain 5, la région de source 6, la région de formation de canal 7, et autres).

Il en résulte que la structure de la troisième forme du sixième mode de réalisation préféré comprend la région de connexion 86 sur la surface supérieure, pour faciliter son étape de fabrication.

#### Quatrième forme

La figure 53 est une coupe d'une quatrième forme du sixième mode de réalisation préféré. Comme représenté sur la figure 53, des régions de connexion 87 sont formées verticalement à travers la pellicule d'oxyde enterrée 2. D'autres composants de la figure 53 sont similaires à ceux de la première forme représentée sur la figure 41.

Ainsi, la quatrième forme du sixième mode de réalisation préféré est conçue de façon que les régions de connexion 87 s'étendent à travers la pellicule d'oxyde enterrée 2 pour fixer le potentiel électrique à partir du substrat en silicium 1 remplissant la fonction d'un substrat de support. Chacune des régions de connexion 87 peut être formée en formant une ouverture traversante constituée par un trou 89 formé dans une partie supérieure de la pellicule d'oxyde enterrée 2, par attaque par voie humide, et une partie traversante 88 formée verticalement à travers la pellicule d'oxyde enterrée 2 qui n'a pas d'augmentation d'étendue latérale, par attaque par voie sèche, et en remplissant ensuite l'ouverture traversante avec du silicium polycristallin ou autres. Ceci procure les régions de connexion 87 s'étendant verticalement à travers la pellicule d'oxyde enterrée 2, tout en évitant l'augmentation d'étendue latérale de l'ouverture traversante au moment de sa formation.

#### Septième mode de réalisation préféré

La figure 63 est une vue en plan destinée à illustrer un procédé de conception d'une région d'isolation complète dans le dispositif à semi-conducteur ayant la structure SOI conforme à un septième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 63, une configuration générale d'un transistor CMOS est telle qu'une ré-



gion active PMOS 101 et une région de contact de corps PMOS 102 sont formées sélectivement dans une région de caisson n virtuel 104, et une région active NMOS 111 et une région de contact de corps NMOS 112 sont formées sélectivement dans une région p (non représentée) à l'extérieur de la région de caisson n virtuel 104.

Lorsque la région d'isolation combinée illustrée dans la troisième forme (figure 7) du second mode de réalisation préféré assure l'isolation entre les transistors NMOS et PMOS, la région de caisson n virtuel 104 correspond pratiquement à la région d'isolation partielle, et la région d'isolation complète est en continuité avec la région d'isolation partielle.

Il y a une possibilité élevée que des données de disposition accumulées dans le passé soient disponibles pour établir une disposition du dispositif à semiconducteur utilisant la région d'isolation combinée.

Par conséquent, la région d'isolation complète est générée automatiquement en exécutant une procédure de conception qui comprend les étapes suivantes :

(1) on obtient les données antérieures concernant un dispositif CMOS comprenant un transistor PMOS à l'intérieur d'une région de caisson et un transistor NMOS à l'extérieur de la région de caisson;

(2) on définit des première et seconde régions de formation de transistor MOS (la région active PMOS 101, la région de contact de corps PMOS 102, la région active NMOS 111 et la région de contact de corps NMOS 112), sur la base des données antérieures; et

(3) on définit une région d'isolation complète 105 au voisinage de la périphérie extérieure de la région de caisson n virtuel 104, en considérant pour la région de caisson n virtuel 104 une région de caisson dans les données antérieures.

Du fait que la région de caisson n virtuel 104 établit de façon générale une distinction entre les régions NMOS et PMOS, la définition de la région d'isolation complète basée sur la région de caisson n virtuel 104 procure une isolation effective entre les transistors NMOS et PMOS.

Dans le cas représenté sur la figure 63, la région d'isolation complète 105 est définie de façon que sa périphérie extérieure soit espacée vers l'extérieur d'une distance  $W/2$  qui est égale à la moitié de la lar-



geur d'isolation complète W, à partir de la périphérie extérieure de la région de caisson n virtuel 104, et de façon que sa périphérie intérieure soit espacée vers l'intérieur de la distance  $W/2$  à partir d'elle.

Par conséquent, la région d'isolation complète est automatiquement définie sur la base de la largeur d'isolation complète W au voisinage de la périphérie extérieure de la région de caisson dans les données antérieures pour la fabrication du transistor CMOS classique.

En outre, une région d'isolation partielle 113 peut être définie en continuité avec la région de caisson n virtuel 104, sauf dans la région active PMOS 101, la région de contact de corps PMOS 102, la région de caisson n virtuel 104, la région active NMOS 111 et la région de contact de corps NMOS 112. La région d'isolation combinée comprenant la région d'isolation complète 105 et la région d'isolation partielle 113 est ainsi définie.

#### Huitième mode de réalisation préféré

##### Phénomène de verrouillage à l'état passant

On décrira le phénomène de verrouillage à l'état passant en se référant à la figure 64. Comme représenté sur la figure 64, une structure CMOS ayant une région PMOS 131 et une région NMOS 141 qui sont mutuellement adjacentes comprend un transistor bipolaire parasite T1 constitué par une région active PMOS 133 dans la région PMOS 131, une région de caisson n 132 dans la région PMOS 131 et une région de caisson p 142 dans la région NMOS 141, et un transistor bipolaire parasite T2 constitué par une région active NMOS 143 dans la région NMOS 141, la région de caisson p 142 dans la région NMOS 141 et la région de caisson n 132 dans la région PMOS 131.

Une région de contact de corps  $n^+$  135 est connectée à la base du transistor bipolaire parasite T1 par l'intermédiaire d'un élément résistif R11 de la région de caisson n 132. De façon similaire, une région de contact de corps  $p^+$  145 est connectée à la base du transistor bipolaire parasite T2 par l'intermédiaire d'un élément résistif R12 de la région de caisson p 142. La région de contact de corps  $n^+$  135 est fixée à une tension d'alimentation  $V_{cc}$  et la région de contact de corps  $p^+$  145 est fixée à un niveau de masse  $V_{ss}$ . Des électrodes de grille 134 et 144 sont respectivement formées dans des parties médianes de la région active



PMOS 133 et de la région active NMOS 143.

Les transistors bipolaires parasites T1 et T2 constituent une structure de thyristor parasite qui donne lieu au phénomène de verrouillage à l'état passant, dans lequel un courant continue à circuler de la tension d'alimentation Vcc vers le niveau de masse Vss une fois que du bruit a amorcé le thyristor parasite.

#### Première forme

De façon générale, les bruits qui induisent le phénomène de verrouillage à l'état passant entrent souvent dans la structure CMOS par une borne d'entrée/sortie. Pour éviter ceci, comme représenté sur la figure 65, une région d'isolation complète 114 est de préférence disposée au voisinage d'une frontière entre une région (de formation de transistor) NMOS d'entrée/sortie 106 et une région (de formation de transistor) PMOS d'entrée/sortie 116, pour procurer une isolation complète entre elles. Une région d'isolation partielle 107 isole partiellement la région NMOS d'entrée/sortie 106 par rapport à sa région environnante, et une région d'isolation partielle 117 isole partiellement la région PMOS d'entrée/sortie 116 par rapport à sa région environnante.

Les régions d'entrée/sortie désignent des régions dans lesquelles on doit former principalement un amplificateur-séparateur d'entrée/sortie et un circuit de protection. La figure 66 est un schéma d'un circuit d'entrée. Comme illustré sur la figure 66, une borne d'entrée externe P1 pour recevoir un signal d'entrée IN est connectée à l'entrée d'un amplificateur-séparateur d'entrée 122 par l'intermédiaire de résistances R1 et R2. La sortie de l'amplificateur-séparateur d'entrée 122 est connectée à une borne d'entrée interne P2 qui émet un signal interne S0.

Un circuit de protection d'entrée 121 comprend un transistor PMOS Q1 et un transistor NMOS Q2. Le transistor PMOS Q1 a une source connectée à la tension d'alimentation Vcc, une grille connectée à la tensions d'alimentation Vcc, et un drain connecté à un noeud N1 entre les résistances R1 et R2. Le transistor NMOS Q2 a une source connectée à la masse, une grille connectée à la masse et un drain connecté au noeud N1.

L'amplificateur-séparateur d'entrée 122 comprend un transistor PMOS Q11 et un transistor NMOS Q12 qui constituent un inverseur



CMOS. Les grilles des transistors PMOS et NMOS Q11 et Q12 constituent l'entrée de l'inverseur CMOS, et leurs drains constituent la sortie de l'inverseur CMOS.

5 Dans cette configuration de circuit, les transistors PMOS Q1 et Q11 sont formés dans une région PMOS d'entrée 118, et les transistors NMOS Q2 et Q12 sont formés dans une région NMOS d'entrée 108.

La figure 67 est un schéma d'un circuit de sortie. Comme illustré sur la figure 67, une borne d'entrée interne P3 destinée à recevoir un signal interne S1 est connectée à l'entrée d'un amplificateur-séparateur de sortie 123. Un signal provenant de la sortie de l'amplificateur-séparateur de sortie 123 est émis par l'intermédiaire d'une borne de sortie externe P4, à titre de signal de sortie OUT.

10 L'amplificateur-séparateur de sortie 123 comprend un transistor PMOS Q13 et un transistor NMOS Q14 qui constituent un inverseur CMOS. Les grilles des transistors PMOS et NMOS Q13 et Q14 constituent l'entrée de l'inverseur CMOS, et leurs drains constituent la sortie de l'inverseur CMOS.

Un circuit de protection de sortie 124 comprend un transistor PMOS Q3 et un transistor NMOS Q4. Le transistor PMOS Q3 a une source connectée à la tension d'alimentation Vcc, une grille connectée à la tension d'alimentation Vcc, et un drain connecté à la borne de sortie externe P4. Le transistor NMOS Q4 a une source connectée à la masse, une grille connectée à la masse et un drain connecté à la borne de sortie externe P4.

20 Dans cette configuration de circuit, les transistors PMOS Q3 et Q13 sont formés dans une région PMOS de sortie 119, et les transistors NMOS Q4 et Q14 sont formés dans une région NMOS de sortie 109.

Dans la première forme du huitième mode de réalisation préféré, la région d'isolation complète 114 est formée au moins au voisinage de la frontière entre la région NMOS d'entrée/sortie 106 et la région PMOS d'entrée/sortie 116 dans lesquelles le verrouillage à l'état passant est susceptible de se produire, pour procurer une isolation complète entre elles, pour produire ainsi une structure exempte de verrouillage à l'état passant.

35 En outre, dans la première forme du huitième mode de réalisa-



tion préféré, la région d'isolation complète ne s'étend pas entièrement entre les régions NMOS et PMOS, mais la région d'isolation complète 114 est formée seulement au voisinage de la frontière entre les régions NMOS et PMOS d'entrée/sortie. Ceci supprime effectivement le phénomène de verrouillage à l'état passant et minimise l'augmentation de l'aire de circuit.

#### Seconde forme

Bien que la région d'isolation complète 114 pour l'isolation complète entre les régions NMOS et PMOS d'entrée/sortie 106 et 116 soit représentée sur la figure 65 comme étant établie seulement au voisinage de la frontière entre elles, une région d'isolation complète 115 peut être formée de façon à entourer complètement la région NMOS d'entrée/sortie 106 et la région PMOS d'entrée/sortie 116, dans une seconde forme du huitième mode de réalisation préféré, comme représenté sur la figure 68.

En outre, une région d'isolation complète peut être établie entre des circuits spécifiques, par exemple entre un circuit analogique et un circuit numérique, ainsi qu'entre les régions NMOS et PMOS d'entrée/sortie.

#### Troisième forme

La figure 69 illustre une troisième forme du huitième mode de réalisation préféré. Comme représenté sur la figure 69, une région d'isolation complète 110 établit une isolation complète entre des régions NMOS (la région NMOS d'entrée/sortie 106 et une région NMOS interne 180) et des régions PMOS (la région PMOS d'entrée/sortie 116 et une région PMOS interne 190); et également entre une région d'entrée/sortie (la région PMOS d'entrée/sortie 116) et une région de circuit interne (la région NMOS interne 180).

La troisième forme du huitième mode de réalisation préféré produit l'effet consistant à soustraire complètement la région de circuit interne à l'influence de la région d'entrée/sortie sensible à des bruits, en plus des effets des première et seconde formes de ce mode de réalisation.

#### Neuvième mode de réalisation préféré

##### Première forme



La figure 70 est une vue en plan d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un neuvième mode de réalisation préféré de la présente invention. La figure 71 est une coupe selon la ligne A-A de la figure 70. Comme représenté sur les figures 70 et 71, une région (de formation de transistor) NMOS 126 et une région (de formation de transistor) PMOS 136 sont disposées de façon mutuellement adjacente. Une région active NMOS 128 ayant une multiplicité d'électrodes de grille 129 et une région de corps  $p^+$  130 sont formées dans la région NMOS 126, et une région d'isolation partielle 127 entoure la région active NMOS 128.

Une région active PMOS 138 ayant une multiplicité d'électrodes de grille 139 et une région de corps  $n^+$  140 sont formées dans la région PMOS 136, et une région d'isolation partielle 137 et une région d'isolation complète 120 entourent la région active PMOS 138. La région d'isolation complète 120 est formée dans la région PMOS 136 au voisinage d'une frontière entre les régions NMOS et PMOS 126 et 136, de façon à entourer des parties des électrodes de grille 139 qui s'étendent à l'extérieur de la région active PMOS 138.

Ainsi, au voisinage de la frontière entre la région NMOS 126 et la région PMOS 136, la région d'isolation partielle 127 comprenant une pellicule d'oxyde 54 et une région de caisson 169 isole la région NMOS 126 par rapport à sa région environnante, et la région d'isolation complète 120 comprenant seulement la pellicule d'oxyde 54 isole la région PMOS 136 par rapport à sa région environnante, comme représenté sur la figure 71.

Ainsi, aucune région d'isolation complète n'est formée dans la région NMOS 126, mais la région d'isolation partielle 127 est formée à l'intérieur pour fixer suffisamment le potentiel électrique du substrat du transistor NMOS, à travers la région de caisson 169 au-dessous de la pellicule d'oxyde 54. Ceci réduit effectivement l'effet de substrat flottant du transistor NMOS qui présente un degré notable d'effet de substrat flottant.

Le transistor PMOS qui présente un moindre degré d'effet de substrat flottant en comparaison avec le transistor NMOS, n'est pas notablement affecté si la région d'isolation complète est formée partielle-



ment autour du transistor PMOS. La région d'isolation complète 120 procure une isolation diélectrique entre la région NMOS 126 et la région PMOS 136, et est disposée pour obtenir une efficacité élevée concernant l'aire utilisée. Ceci est efficace s'il y a peu d'espace pour disposer les  
5 éléments.

#### Seconde forme

La figure 72 est une vue en plan d'une seconde forme du dispositif à semiconducteur ayant la structure SOI conforme au neuvième mode de réalisation préféré de la présente invention. La figure 73 est  
10 une coupe selon la ligne B-B de la figure 72. Comme représenté sur les figures 72 et 73, la région NMOS 126 formée dans la région de caisson p<sup>-</sup> 169 et la région PMOS 136 formée dans une région de caisson n<sup>-</sup> 179 sont disposées de façon mutuellement adjacente.

La région active NMOS 128 ayant la multiplicité d'électrodes de grille 129 est formée dans la région NMOS 126, et une région d'isolation  
15 complète 125 entoure presque entièrement la région active NMOS 128. La région d'isolation partielle 127 isole seulement une première extrémité de chacune des électrodes de grille 129 (qui est située du côté opposé par rapport au transistor PMOS 136) par rapport à sa région environ-  
20 nante.

Comme représenté sur la figure 73, la pellicule d'oxyde 54 et la région de caisson 169 formée dans une partie inférieure de la pellicule d'oxyde 54 constituent la région d'isolation partielle 127. La région d'isolation partielle 127 peut avoir une largeur supérieure (comme la ré-  
25 gion d'isolation partielle 127 de gauche sur la figure 73) ou inférieure (comme la région d'isolation partielle 127 de droite sur la figure 73) à la largeur des électrodes de grille 129. La région de corps p<sup>+</sup> 130 est formée dans la région de caisson 169 au voisinage des premières extrémités des électrodes de grille 129.

La région active PMOS 138 ayant la multiplicité d'électrodes de grille 139 est formée dans la région PMOS 136, et la région d'isolation  
30 complète 125 entoure presque entièrement la région active PMOS 138. Comme dans la région NMOS 126, la région d'isolation partielle 137 isole seulement une première extrémité de chacune des électrodes de grille  
35 139 (qui se trouve du côté opposé par rapport au transistor NMOS 126)



par rapport à sa région environnante. La région de corps  $n^+$  140 est formée dans la région de caisson 179 au voisinage des premières extrémités des électrodes de grille 139.

5 Dans la seconde forme du neuvième mode de réalisation préféré, les régions d'isolation partielles isolent les premières extrémités respectives des électrodes de grille, de façon qu'une région de formation de canal s'étendant au-dessous des électrodes de grille vienne en contact avec la région de caisson de la région d'isolation partielle, pour fixer ainsi les potentiels électriques des substrats des régions de formation de transistor respectives.

10 La région d'isolation complète 125 entoure presque complètement les régions NMOS et PMOS 126 et 136 dans le but de réduire l'aire de jonction PN et d'interrompre un chemin par lequel le verrouillage à l'état passant se produit.

15 Dixième mode de réalisation préféré

Première forme

20 La figure 74 est une vue en plan d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un dixième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 74, la multiplicité d'électrodes de grille 129 sont formées dans la région active NMOS 128, et la région d'isolation partielle 127 entoure la région active NMOS 128. Une région de corps  $p^+$  146 entoure la région d'isolation partielle 127. La figure 101 est une coupe selon la ligne E-E de la figure 74.

25 Comme illustré sur la figure 101, la région d'isolation partielle 127 comprend la pellicule d'oxyde 54 et la région de caisson 169. La région de caisson 169, qui est formée en contact avec une région de formation de canal formée dans la région active NMOS 128, est sensible à du bruit et peut donner lieu au phénomène de verrouillage à l'état passant.

30 Cependant, dans la première forme du dixième mode de réalisation préféré, la région de corps  $p^+$  146 est formée de façon à entourer la région d'isolation partielle 127. Par conséquent, le potentiel de substrat de la région de corps  $p^+$  146 peut être fixé, par exemple au niveau de la masse, pour atténuer l'influence d'autres parties de circuit, pour stabi-



liser ainsi le potentiel de substrat. Ceci renforce notablement la résistance au bruit et au verrouillage à l'état passant.

La première forme du dixième mode de réalisation préféré, comme décrit ci-dessus, convient pour un bloc de circuit d'une source de  
5 bruit, un bloc de circuit dans lequel on désire éliminer du bruit externe, ou autres. Pour la région active PMOS, une région de corps  $n^+$  peut entourer la région d'isolation partielle, en produisant des effets similaires.

#### Seconde forme

La figure 75 est une vue en plan d'une seconde forme du dispositif à semiconducteur ayant la structure SOI conforme au dixième  
10 mode de réalisation préféré de la présente invention. Comme représenté sur la figure 75, une région NMOS d'entrée/sortie 151 et une région PMOS d'entrée/sortie 152 sont disposées de façon mutuellement adjacente.

15 Dans la région NMOS d'entrée/sortie 151, la multiplicité d'électrodes de grille 129 sont formées dans la région active NMOS 128, et une région d'isolation partielle 127A entoure la région active NMOS 128. La région de corps  $p^+$  146 entoure la région d'isolation partielle 127A. Une région d'isolation partielle 127B entoure la région de corps  $p^+$  146.

20 Dans la région PMOS d'entrée/sortie 152, la multiplicité d'électrodes de grille 139 sont formées dans la région active PMOS 138, et une région d'isolation partielle 137A entoure la région active PMOS 138. Une région de corps  $n^+$  147 entoure la région d'isolation partielle 137A. Une région d'isolation partielle 137B entoure la région de corps  $n^+$  147.

25 De façon générale, des circuits d'entrée/sortie sont souvent influencés par des surtensions et du bruit provenant de l'extérieur de la puce. Il est donc particulièrement important d'augmenter la résistance des circuits d'entrée/sortie au verrouillage à l'état passant et au bruit.

30 Dans la seconde forme du dixième mode de réalisation préféré, la région de corps  $p^+$  146 et la région de corps  $n^+$  147 entourent les régions d'isolation partielles 127A et 137A des régions NMOS et PMOS d'entrée/sortie 151 et 152, respectivement, pour réduire le phénomène de verrouillage à l'état passant qui résulte de l'augmentation du potentiel des régions de caisson influencées par des surtensions.

35 Les régions actives NMOS et PMOS sont entièrement recou-



vertes par les régions de corps dans la seconde forme du dixième mode de réalisation préféré. Cependant, les régions de corps peuvent être formées au moins au voisinage d'une frontière entre la région NMOS d'entrée/sortie 151 et la région PMOS d'entrée/sortie 152, pour renforcer ainsi dans une certaine mesure la résistance au verrouillage à l'état passant et au bruit.

#### Onzième mode de réalisation préféré

##### Première forme

La figure 76 est une vue en plan d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un onzième mode de réalisation préféré de la présente invention.

Comme représenté sur la figure 76, la multiplicité d'électrodes de grille 129 sont formées dans la région active NMOS 128, et une région d'isolation partielle flottante 149 entoure la région active NMOS 128. Une région d'isolation complète 148 entoure la région d'isolation partielle flottante 149

La région d'isolation partielle flottante 149 a une structure à deux couches comprenant une pellicule d'oxyde et une région de caisson, similaires à la pellicule d'oxyde partielle 31 et à la région de caisson 11 représentées sur la figure 55. La région de caisson de la région d'isolation partielle flottante 149 a un potentiel qui n'est pas fixé mais est toujours flottant. Du fait que des porteurs générés par ionisation par chocs circulent vers la région de caisson de la région d'isolation partielle flottante 149 si la région de caisson de la région d'isolation partielle flottante 149 est flottante, l'augmentation de potentiel électrique est minimisée. De plus, la région de caisson de la région d'isolation partielle flottante 149 disperse la charge électrique qui est produite par des rayons cosmiques, pour renforcer la résistance à des erreurs passagères.

La structure de la première forme du onzième mode de réalisation préféré, qui comprend la région d'isolation partielle flottante 149, est effective pour un circuit à densité élevée, comme une mémoire vive statique, pour lequel il est difficile d'établir un contact avec la région de corps.

L'incorporation de la région d'isolation complète 148 est souhaitable en termes de renforcement de la résistance au verrouillage à



l'état passant, mais n'est pas nécessairement exigée.

#### Seconde forme

La figure 77 est une vue en plan d'une seconde forme du dispositif à semiconducteur ayant la structure SOI conforme au onzième mode de réalisation préféré de la présente invention.

Comme illustré sur la figure 77, une région de corps  $p^+$  flottante 150 est formée dans la région d'isolation partielle flottante 149. La structure restante de la seconde forme représentée sur la figure 77 est similaire à celle de la première forme représentée sur la figure 76.

Le potentiel électrique de la région de corps  $p^+$  flottante 150 n'est pas fixé mais est toujours flottant. Par conséquent, la région de caisson de la région d'isolation partielle flottante 149 est également flottante.

Avec la région de caisson de la région d'isolation partielle 149 à l'état flottant dans la seconde forme, l'augmentation de potentiel électrique est minimisée et la résistance à des erreurs passagères est renforcée, comme dans la première forme.

En outre, la présence de la région de corps  $p^+$  flottante 150 dans la seconde forme favorise la recombinaison des porteurs pour produire une réduction de l'effet de substrat flottant plus marquée que dans la première forme.

#### Douzième mode de réalisation préféré

##### Première forme

La figure 78 est une vue en plan d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un douzième mode de réalisation préféré de la présente invention. La figure 79 est une coupe selon la ligne C-C de la figure 78.

Comme illustré sur les figures 78 et 79, un transistor NMOS a une région de drain 153, une région de source 154 et une électrode de grille 155, et une région de corps  $p^+$  156 est disposée en position adjacente à la région de source 154 du transistor NMOS. La région de source 154 et la région de corps 156 sont connectées électriquement à une couche d'interconnexion en aluminium 160 par l'intermédiaire d'un contact 158.



La région de drain 153 est connectée électriquement à une couche d'interconnexion en aluminium 159 par l'intermédiaire d'un contact 157. Une région d'isolation partielle 161 entoure la région de drain 153, la région de source 154 et la région de corps 156.

5 Comme représenté sur la figure 79, la région d'isolation partielle 161 comprend une pellicule d'oxyde 162 et une région de caisson p<sup>-</sup> 177. Pour faciliter la connexion entre la région de source 154 et la région de corps 156, une couche de siliciure 163 est formée sur les surfaces supérieures de la région de source 154 et de la région de corps 156, et le  
10 contact 158 est formé sur la couche de siliciure 163. Une partie de la couche SOI 3 qui s'étend au-dessous d'une pellicule d'oxyde de grille 178 pour l'électrode de grille 155 remplit la fonction d'une région de formation de canal 170.

Dans une telle structure, la couche d'interconnexion en aluminium 160 fixe les potentiels électriques de la région de source 154 et de  
15 la région de corps 156 au niveau de la masse, pour fixer la région de caisson 177 au même potentiel que la région de source 154, pour fixer ainsi le potentiel électrique de la région de formation de canal 170 à travers la région de caisson 177.

20 Dans la première forme du douzième mode de réalisation préféré, la région de source 154 et la région de corps 156 sont disposées de façon mutuellement adjacente, comme représenté sur les figures 78 et 79, ce qui a pour effet d'augmenter le degré d'intégration.

Un transistor PMOS peut être réalisé de façon similaire, à l'ex-  
25 ception du fait que les potentiels électriques d'une région de source et d'une région de corps sont fixés au niveau d'alimentation.

#### Seconde forme

La figure 80 est une vue en plan d'une seconde forme du dispositif à semiconducteur ayant la structure SOI conforme au douzième  
30 mode de réalisation préféré de la présente invention. La figure 81 est une coupe selon la ligne D-D de la figure 80.

Comme représenté sur les figures 80 et 81, une région de corps p<sup>+</sup> 164 est disposée en position adjacente à la région de source 154. La région de source 154 et la région de corps 164 sont connectées électri-  
35 quement à une couche d'interconnexion en aluminium 166 par l'intermé-



diaire d'un contact 165. Le contact 165 est formé en contact avec la région de source 154 et la région de corps 164. La région d'isolation partielle 161 entoure la région de drain 153, la région de source 154 et la région de corps 164.

5           En se référant à la figure 81, on note qu'une couche de siliciure 167 est formée sur la région de source 154, et le contact 165 est formé sur la région de corps 164 et sur une partie de la couche de siliciure 167. La structure restante de la seconde forme représentée sur les figures 80 et 81 est similaire à celle de la première forme représentée sur les figures 78 et 79.

10           Dans une telle structure, la couche d'interconnexion en aluminium 166 fixe les potentiels électriques de la région de source 154 et de la région de corps 164 au niveau de la masse, pour fixer la région de caisson 177 au même potentiel que la région de source 154, pour fixer  
15           ainsi le potentiel électrique de la région de formation de canal 170 à travers la région de caisson 177.

          Dans la seconde forme du douzième mode de réalisation préféré, la région de source 154 et la région de corps 164 sont disposées de façon mutuellement adjacente, comme représenté sur les figures 80 et  
20           81, ce qui a pour effet d'augmenter le degré d'intégration.

#### Troisième forme

          En se référant à la figure 82, on note que la région de corps 164 est formée dans une région qui fait normalement partie de la région de source 154 et qui est adjacente à la région d'isolation partielle 161, et  
25           que le contact 165 est formé sur la région de source 154. Ceci produit des effets similaires à ceux de la seconde forme.

          Dans la troisième forme du douzième mode de réalisation préféré, la région de corps 164 est contenue à l'intérieur de la région qui doit remplir la fonction d'une partie de la région de source 154, comme représenté sur la figure 82, ce qui augmente encore davantage le degré d'intégration en comparaison avec les première et seconde formes.

#### Treizième mode de réalisation préféré

          La figure 83 est une coupe du dispositif à semiconducteur ayant la structure SOI conforme à un treizième mode de réalisation préféré de



la présente invention. Comme représenté sur la figure 83, une région d'isolation partielle comprenant une pellicule d'oxyde 173 et une région de caisson (ayant une paire de régions p 174 et 175 et une région p<sup>-</sup> 176) formée au-dessous de la pellicule d'oxyde 173, assure l'isolation  
5 entre des régions actives n<sup>+</sup> 171 et 172. Les régions actives n<sup>+</sup> 171 et 172 correspondent par exemple respectivement à des régions de source et de drain d'un transistor. Les régions p 174 et 175 constituent des régions périphériques de la région de caisson adjacentes aux régions actives n<sup>+</sup> 171 et 172, et la région p<sup>-</sup> 176 constitue une région centrale de la  
10 région de caisson.

Ainsi, le treizième mode de réalisation préféré est adapté de façon que la concentration en impureté des régions p 174 et 175 respectivement adjacentes aux régions actives n<sup>+</sup> 171 et 172, soit supérieure à celle de la région p<sup>-</sup> 176, pour renforcer la résistance au claquage dans  
15 la région d'isolation partielle.

Les régions p 174 et 175 peuvent être fabriquées comme représenté sur la figure 83 en implantant des ions de bore ou des ions de BF<sub>2</sub> de façon à atteindre la région de caisson par la technique d'implantation ionique avec rotation en oblique, après qu'une région de caisson p<sup>-</sup> a été  
20 formée au-dessous de la pellicule d'oxyde 173.

Par exemple, on peut implanter des ions de bore (B) avec une énergie de 20 keV, à un angle de 45° et à une dose de  $4 \times 10^{13}$  ions/cm<sup>2</sup>. Avec une faible énergie d'implantation pour B et BF<sub>2</sub> (par exemple une énergie d'implantation de 20 keV pour BF<sub>2</sub>), les régions p  
25 174 et 175 sont formées dans des positions adjacentes aux régions actives n<sup>+</sup> 171 et 172, par diffusion accélérée résultant de défauts de réseau cristallin qui se produisent lorsqu'une impureté n<sup>+</sup> est implantée.

#### Quatorzième mode de réalisation préféré

##### Première forme

30 La figure 84 est une coupe d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un quatorzième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 84, un transistor NMOS formé dans la couche SOI 3 recouvrant la pellicule d'oxyde enterrée 2 sur le substrat en silicium 1, et comprenant  
35 une région de drain 183, une région de source 184, une pellicule d'oxyde



de grille 185, une électrode de grille 186 et une région de formation de canal 187, est partiellement isolé par une région d'isolation partielle comprenant une pellicule d'oxyde 181 et une région de caisson 182.

En se référant à la partie droite de la figure 84, on note que le  
5 dispositif à semiconducteur de la figure 84 est conçu de façon qu'une comparaison entre un profil de concentration en impureté pour la région de drain 183 et la région de source 184, et un profil de concentration en impureté pour la région de caisson 182 montre qu'un maximum de la concentration en impureté pour la région de caisson 182 est plus profond à  
10 partir de la surface de la couche SOI 3 qu'un maximum de concentration en impureté pour la région de drain 183 et la région de source 184.

Dans le dispositif à semiconducteur de la première forme du quatorzième mode de réalisation préféré, la jonction PN des régions de drain et de source 183, 184 et la région de caisson 182 peuvent être for-  
15 mées à un emplacement auquel la concentration en impureté des régions de drain et de source 183, 184 et la concentration en impureté de la région de caisson 182 sont toutes deux faibles dans les profils de concentration en impureté. Ceci augmente la tension de claquage de la jonction PN des régions de drain et de source 183, 184 et de la région de caisson  
20 182.

#### Seconde forme

La figure 85 est une coupe d'une seconde forme du dispositif à semiconducteur ayant la structure SOI conforme au quatorzième mode de réalisation préféré de la présente invention. Le dispositif à semiconduc-  
25 teur de la seconde forme représentée sur la figure 85 a une structure similaire à celle de la première forme.

En se référant à la partie droite de la figure 85, on note que le dispositif à semiconducteur de la figure 85 est conçu de façon qu'une comparaison entre un profil de concentration en impureté pour la région  
30 de caisson 182 et un profil de concentration en impureté pour la région de formation de canal 187 montre qu'un maximum de concentration en impureté pour la région de caisson 182 est moins profond à partir de la surface de la couche SOI 3 qu'un maximum de concentration en impureté pour la région de formation de canal 187. Par exemple, lorsqu'un effec-  
35 tue une implantation ionique avec la surface supérieure de la pellicule



d'oxyde 181 pour l'isolation partielle placée au-dessus de la surface de la couche SOI 3 pour former simultanément la région de caisson 182 et la région de formation de canal 187, le profil de concentration en impureté pour la région de formation de canal 187 présente automatiquement le maximum plus profond que le maximum de la région de caisson 182.

Dans le dispositif à semiconducteur de la seconde forme du quatorzième mode de réalisation préféré, la concentration en impureté de la surface de la région de formation de canal 187 est suffisamment abaissée pour éviter qu'une tension de seuil ne dépasse une valeur dési-  
rée.

#### Quinzième mode de réalisation préféré

##### Première forme

La figure 86 est une coupe d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un quinzième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 86, des régions actives  $n^+$  191 à 193 sont formées sélectivement dans la couche SOI 3 recouvrant la pellicule d'oxyde enterrée 2 sur le substrat en silicium 1. Une région d'isolation complète 209 assure l'isolation entre les régions actives  $n^+$  191 et 192, et une région d'isolation partielle 219 assure l'isolation entre les régions actives  $n^+$  192 et 193.

La région d'isolation complète 209 comprend une pellicule d'oxyde 188 et une région de caisson (ayant une paire de régions de caisson  $p^-$  194, 195 et une paire de régions de caisson p 196, 197) formée au-dessous de la pellicule d'oxyde 188. La pellicule d'oxyde 188 a une partie d'isolation diélectrique complète centrale 229 s'étendant à travers la couche SOI 3, pour établir une isolation complète entre les régions actives  $n^+$  191 et 192. La région d'isolation partielle 219 comprend une pellicule d'oxyde 189 et une région de caisson  $p^-$  198 s'étendant au-dessous de la pellicule d'oxyde 189.

La région de caisson au-dessous de la pellicule d'oxyde 188 est conçue de façon que la concentration en impureté des régions de caisson p 196, 197 adjacentes à la partie d'isolation diélectrique complète 229, soit supérieure à celle des autres régions 194, 195.

Au voisinage de la partie d'isolation diélectrique complète 229, il y a une probabilité élevée que des conditions indésirables apparais-



sent; par exemple, des contraintes appliquées à la couche SOI 3 développent une charge électrique, et un claquage est susceptible de se produire à cause de la ségrégation d'impuretés dans la pellicule d'oxyde.

5 Cependant, les régions de caisson p 196, 197 ayant une concentration en impureté relativement élevée sont formées dans des positions adjacentes à la partie d'isolation diélectrique complète 229, pour diminuer la probabilité des conditions indésirables dans la première forme du quinzième mode de réalisation préféré.

#### Seconde forme

10 La figure 87 est une vue en plan d'une seconde forme du dispositif à semiconducteur ayant la structure SOI conforme au quinzième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 87, des régions d'isolation partielles 204 à 207 entourent un transistor NMOS ayant une région de drain 201, une région de source  
15 202 et une électrode de grille 203. Une région d'isolation complète 208 entoure les régions d'isolation partielles 204 à 207.

Les régions d'isolation partielles 204 à 207 sont adaptées de façon que les régions de caisson p 206 et 207 ayant une concentration en impureté relativement élevée soient disposées dans des positions ad-  
20 jacentes à l'électrode de grille 203, et que les régions de caisson p<sup>-</sup> 204 et 205 ayant une concentration en impureté relativement faible soient disposées dans d'autres régions en contact avec la région de drain 201 et la région de source 202.

25 Dans la configuration de la seconde forme du quinzième mode de réalisation préféré, les régions de caisson p<sup>-</sup> 204 et 205 réduisent la capacité de jonction PN et les régions de caisson p 206 et 207 empêchent le claquage.

#### Seizième mode de réalisation préféré

##### Première forme

30 La figure 88 est une coupe d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un seizième mode de réalisation préféré de la présente invention. Comme illustré sur la figure 88, une pellicule d'oxyde 211 pour une région d'isolation partielle est formée dans la couche SOI 3 recouvrant la pellicule d'oxyde enterrée 2



sur le substrat en silicium 1.

L'optimisation de la forme d'isolation exige de conserver un équilibre entre la réduction de la largeur d'isolation et l'atténuation de contraintes appliquées à la couche SOI. Pour la réduction de la largeur d'isolation, il est souhaitable qu'une pellicule d'oxyde pour une région d'isolation partielle ait une forme présentant une courbure plus marquée (ou un plus faible rayon de courbure) dans sa partie de coin et une surface s'étendant dans une direction de profondeur qui est aussi proche que possible de la verticale. Au contraire, pour l'atténuation des contraintes, il est souhaitable que la partie de coin de la pellicule d'oxyde ait une courbure plus douce (ou un plus grand rayon de courbure). De plus, un bec d'oiseau est de préférence aussi petit que possible pour garantir la largeur effective d'une région active.

D'un tel point de vue, la forme en coupe de la pellicule d'oxyde 211 de la première forme est telle qu'une forme de bec d'oiseau FA (saillie) à un coin de surface présente une courbure plus marquée pour la réduction de la largeur d'isolation, et une forme de coin inférieure FC présente une courbure plus douce pour l'atténuation des contraintes. Pour la réduction de la largeur d'isolation, il est souhaitable qu'au moins une partie d'une forme de surface latérale FB s'étendant dans la direction de la profondeur soit aussi proche que possible de la verticale.

#### Seconde forme

La figure 89 est une coupe d'une seconde forme du dispositif à semiconducteur ayant la structure SOI conforme au seizième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 89, une pellicule d'oxyde 212 pour une région d'isolation complète est formée dans la couche SOI 3 recouvrant la pellicule d'oxyde enterrée 2 sur le substrat en silicium 1.

D'un point de vue similaire à celui de la première forme, la forme en coupe de la pellicule d'oxyde 212 comprend les formes FA, FB, FC similaires à celles de la première forme. De plus, une forme de partie consistant en une marche, FD, définie entre une partie d'isolation diélectrique complète à une surface inférieure et une partie d'isolation partielle, présente une courbure plus marquée que celle de la forme FC, pour réduire la largeur d'isolation.



### Dix-septième mode de réalisation préféré

#### Première forme

La figure 90 est une coupe d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un dix-septième mode de réalisation préféré de la présente invention. La première forme du dix-septième mode de réalisation préféré procure un circuit représenté sur la figure 91. En se référant à la figure 91, on note qu'une configuration de circuit de la première forme comprend une inductance en spirale 199 connectée entre une électrode de grille d'un transistor Q21 pour un circuit analogique et une première électrode d'un transistor Q22 pour un circuit analogique.

En se référant à la figure 90, on note que la pellicule d'oxyde enterrée 2 est formée sur un substrat en silicium 200 à résistance élevée, et les transistors Q21 et Q22 sont fabriqués dans la couche SOI 3 recouvrant la pellicule d'oxyde enterrée 2.

Chacun des transistors Q21 et Q22 comprend la région de drain 5, la région de source 6, la région de formation de canal 7, la pellicule d'oxyde de grille 8 et l'électrode de grille 9. Une pellicule d'oxyde 210 ayant une aire relativement grande assure une isolation complète entre les transistors Q21 et S22. La pellicule d'oxyde 33 ayant une aire relativement petite assure une isolation complète entre chacun des transistors Q21, Q22 et sa région environnante. Les régions de caisson 29 sont formées dans des parties inférieures des pellicules d'oxyde 210 et 33.

La pellicule diélectrique inter-couche 4 est formée sur la totalité de la surface de la couche SOI 3 comprenant les transistors Q21 et Q22. Une première couche d'interconnexion 221 est formée sélectivement sur la pellicule diélectrique inter-couche 4. Des parties de la première couche d'interconnexion 221 sont connectées électriquement aux régions de drain 5 et aux régions de source 6 des transistors Q21 et Q22 à travers des trous de contact 244.

Une pellicule diélectrique inter-couche 220 est formée sur la totalité de la surface de la pellicule diélectrique inter-couche 4 comprenant la première couche d'interconnexion 221. Une seconde ligne d'interconnexion 222 est formée sélectivement sur la pellicule diélectrique inter-couche 220. Une partie de la seconde ligne d'interconnexion 222 forme



l'inductance en spirale 199. Des parties de la seconde ligne d'interconnexion 222 sont connectées électriquement à des parties associées de la première couche d'interconnexion 221 (221a), à travers des trous de contact 254, respectivement. L'électrode de grille 9 du transistor Q21 est connectée à la première partie de couche d'interconnexion 221a par l'intermédiaire d'un trou de contact formé à travers la pellicule diélectrique inter-couche 4, bien que ceci ne soit pas représenté sur la figure 90.

Une telle structure de la première forme a une région diélectrique complète comprenant la pellicule d'oxyde 210 et les régions de caisson 29 sous l'inductance en spirale 199, pour réduire une capacité parasite associée à l'inductance en spirale 199. Plus précisément, si une région d'isolation sous l'inductance en spirale 199 est une région d'isolation partielle comprenant une pellicule d'oxyde et une région de caisson, une capacité parasite est produite entre la région de caisson et l'inductance en spirale 199, ce qui diminue un facteur de qualité Q (un rapport entre l'énergie perdue et l'énergie emmagasinée), ce qui conduit à des pertes d'énergie, auquel cas on n'obtient pas les performances désirées pour l'inductance. La structure de la première forme élimine de telles conditions indésirables.

L'utilisation du substrat en silicium 200 à résistance élevée à titre de substrat sous-jacent pour le substrat SOI dans la première forme, réduit les pertes d'énergie dues à des courants de Foucault et à la capacité, elle réduit la capacité parasite et elle augmente le facteur de qualité Q.

Du fait que des circuits analogiques sont exigés pour se protéger contre des bruits parasites, la pellicule d'oxyde 210 ou la pellicule d'oxyde 33 isole complètement de leurs régions environnantes les transistors Q21 et Q22 pour des circuits analogiques, de façon à séparer électriquement les transistors Q21 et Q22 par rapport à l'extérieur, ce qui augmente les performances.

Bien que ceci ne soit pas représenté sur la figure 90, si une région d'isolation partielle est formée au-dessous d'une plage de connexion, une capacité parasite élevée est susceptible d'être produite dans le cas de l'inductance en spirale, ce qui entraîne des pertes d'énergie. Il est donc souhaitable qu'une région d'isolation complète soit établie sous



la plage de connexion, ainsi que sous l'inductance en spirale 199.

### Seconde forme

La figure 92 est une coupe d'une seconde forme du dispositif à semiconducteur ayant la structure SOI conforme au dix-septième mode de réalisation préféré de la présente invention. La seconde forme du dix-septième mode de réalisation préféré, similaire à la première forme, procure le circuit représenté sur la figure 91.

Comme représenté sur la figure 92, une pellicule d'oxyde 218 ayant une relativement grande étendue, et une région à résistance élevée 223 et des régions de caisson 224 qui sont formées au-dessous de la pellicule d'oxyde 218 procurent une isolation partielle entre les transistors Q21 et Q22. La pellicule d'oxyde 31 ayant une relativement faible étendue et la région de caisson 11 (12) formée au-dessous de la pellicule d'oxyde 31 procurent une isolation partielle entre chacun des transistors Q21, Q22 et sa région environnante.

La région à résistance élevée 223 occupe la majeure partie de l'étendue au-dessous de la pellicule d'oxyde 218, et les régions de caisson 224 occupent une petite étendue périphérique. La structure restante de la seconde forme est similaire à celle de la première forme représentée sur la figure 90.

Dans la seconde forme du dix-septième mode de réalisation préféré, bien que l'isolation partielle soit établie, la pellicule d'oxyde 218 et la région à résistance élevée 223 occupent presque toute la partie de la région d'isolation partielle se trouvant sous l'inductance en spirale 199. Ceci atténue suffisamment la capacité parasite associée à l'inductance en spirale 199.

La région à résistance élevée 223 peut être fabriquée de manière qu'aucune impureté ne soit introduite dans la région à résistance élevée 223. Selon une variante, le procédé de fabrication de la région à résistance élevée 223 peut comprendre les étapes d'implantation d'ions de silicium à une dose s'élevant jusqu'à  $1 \times 10^{20}$  ions/cm<sup>2</sup>, par exemple, pour rendre amorphe une région inférieure de la pellicule d'oxyde, et ensuite de chauffage de la région inférieure pour former une couche de silicium polycristallin constituant la région à résistance élevée 223.



#### Dix-huitième mode de réalisation préféré

La figure 93 est une vue en plan du dispositif à semiconducteur ayant la structure SOI conforme à un dix-huitième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 93, une région d'isolation complète 240 assure une isolation complète entre des régions de transistor DT-MOS 225 et 226. Un transistor DT-MOS est un transistor MOS ayant une électrode de grille et une région de corps (région de formation de canal) qui sont au même potentiel. Chacune des régions de transistor DT-MOS 225 et 226 comprend une région active NMOS n<sup>+</sup> 232 et une région de corps p<sup>+</sup> 234 qui sont formées dans une région de caisson p 231 (une région d'isolation partielle 230). La région active NMOS 232 est connectée à des couches d'interconnexion 239 par l'intermédiaire de contacts 238. Une électrode de grille 233 formée dans une partie médiane de la région active NMOS 232 est connectée électriquement à une couche d'interconnexion 237 par l'intermédiaire d'un contact 235 (contact de grille). La région de corps 234 est connectée électriquement à la couche d'interconnexion 237 par l'intermédiaire d'un contact 236 (contact de corps).

La couche d'interconnexion 237 est utilisée pour fixer l'électrode de grille 233 et la région de corps 234 au même potentiel, afin de diminuer une tension de seuil à l'état conducteur, ce qui a pour effet d'augmenter la vitesse de fonctionnement du dispositif à semiconducteur.

Ainsi, conformément au dix-huitième mode de réalisation préféré, le potentiel électrique de la région de formation de canal est fixé à travers la région de corps 234 et la région de caisson 231, et la région d'isolation complète 240 procure une isolation complète entre les régions de transistor DT-MOS 225 et 226. Par conséquent, un transistor DT-MOS à hautes performances est formé relativement aisément. Le contact de corps et le contact de grille peuvent être remplacés par un contact partagé qui est connecté en commun à l'électrode de grille 233 et à la région de corps 234.

#### Dix-neuvième mode de réalisation préféré

La figure 94 est une coupe du dispositif à semiconducteur ayant la structure SOI conforme à un dix-neuvième mode de réalisation préféré de la présente invention.



Comme représenté sur la figure 94, dans une région de formation de transistor 227 dans laquelle doit être formé un transistor ayant une largeur de grille W relativement faible, on forme des transistors MOS comprenant chacun une région de drain 245, une région de source 246, une région de formation de canal 247, une pellicule d'oxyde de grille 248 et une électrode de grille 249. La pellicule d'oxyde partielle 31 et la région de caisson 11 (12) procurent une isolation partielle entre les transistors MOS. La pellicule d'oxyde complète 32 isole complètement les transistors MOS par rapport à leurs régions environnantes.

La pellicule diélectrique inter-couche 4 est formée sur la totalité de la surface de la couche SOI 3 comprenant les transistors MOS dans la région de formation de transistor 227. Une couche d'interconnexion 242 est formée sélectivement sur la pellicule diélectrique inter-couche 4. La couche d'interconnexion 242 est connectée électriquement aux régions de drain et de source 245 et 246 à travers des trous de contact 241.

Dans une région de formation de transistor 228 dans laquelle doit être formé un transistor ayant une largeur de grille W relativement grande, on forme des transistors MOS comprenant chacun une région de drain 255, une région de source 256, une région de formation de canal 257, une pellicule d'oxyde de grille 258 et une électrode de grille 259. La pellicule d'oxyde partielle 31 et la région de caisson 11 (12) procurent une isolation partielle entre les transistors MOS. La pellicule d'oxyde complète 32 isole complètement les transistors MOS par rapport à leurs régions environnantes.

La pellicule diélectrique inter-couche 4 est formée sur la totalité de la surface de la couche SOI comprenant les transistors MOS dans la région de formation de transistor 228. Une couche d'interconnexion 252 est formée sélectivement sur la pellicule diélectrique inter-couche 4. La couche d'interconnexion 252 est connectée électriquement aux régions de drain et de source 255 et 256 à travers des trous de contact 251.

La profondeur des régions de drain et de source 245 et 246 dans la région de formation de transistor 227 est fixée de façon qu'au moins une partie de la couche de déplétion 243 s'étendant à partir de la source/drain atteigne la pellicule d'oxyde enterrée 2 dans l'état de polarisation nulle, ce qui réduit la capacité de jonction. La profondeur des ré-



gions de drain et de source 245 et 246 peut être fixée de façon à atteindre la pellicule d'oxyde enterrée 2.

5 D'autre part, la profondeur des régions de drain et de source 255 et 256 dans la région de formation de transistor 228 ayant la largeur de grille W relativement grande, est fixée de façon qu'une couche de déplétion 253 s'étendant à partir de la source/drain n'atteigne pas la pellicule d'oxyde enterrée 2 dans l'état de polarisation nulle, ce qui garantit la fixation du potentiel électrique de la région de formation de canal 257.

10 Les deux types de régions de drain/source dans les régions de formation de transistor 227 et 228 sont fabriqués en implantant des impuretés avec des énergies d'implantation différentes pour la formation de source/drain, ou en implantant des impuretés avec des doses différentes pour la formation d'un canal dopé de façon non uniforme.

15 Selon une variante, le processus pour la fabrication des deux types de régions de drain/source peut comprendre les étapes consistant à former les régions de source/drain ayant une profondeur qui ne permet pas à la couche de déplétion d'atteindre la pellicule d'oxyde enterrée 2 dans l'état de polarisation nulle, et ensuite à implanter à nouveau des impuretés, en supplément, de façon que seules les régions de source/drain dans la région de formation de transistor 227 deviennent plus profondes.

#### Vingtième mode de réalisation préféré

##### Première forme

25 La figure 95 est une coupe d'une première forme du dispositif à semiconducteur ayant la structure SOI conforme à un vingtième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 95, des régions  $n^+$  261 et 262 sont formées sélectivement dans la couche SOI 3 recouvrant la pellicule d'oxyde enterrée 2 sur le substrat en silicium 1. Une région d'isolation partielle comprenant une région  $p^-$  263 et une pellicule d'oxyde 264 est formée entre les régions  $n^+$  261 et 262. Les régions  $n^+$  261, 262, la région  $p^-$  263 et la pellicule d'oxyde 264 constituent un transistor de champ. Le transistor de champ a une structure dans laquelle une partie de grille (une pellicule d'oxyde de grille et une électrode de grille) d'un transistor MOS est remplacée par une pellicule d'oxyde.



Dans la première forme du vingtième mode de réalisation préféré, la structure de la région d'isolation partielle comprenant la région p<sup>-</sup> 263 et la pellicule d'oxyde 264 est utilisée pour constituer le transistor de champ. Le transistor de champ est applicable à un dispositif pour un circuit de protection ou autres.

La partie de grille du transistor de champ conforme au vingtième mode de réalisation préféré a une structure fondamentalement similaire à celle de la région d'isolation partielle. Par conséquent, la partie de grille et la région d'isolation partielle peuvent être formées en même temps, grâce à quoi le transistor de champ est formé relativement aisément.

La figure 96 est un schéma de circuit d'une partie d'entrée d'un circuit auquel des transistors de champ sont appliqués. Comme représenté sur la figure 96, un transistor de champ Q31 a une première électrode connectée à la borne d'entrée externe P1 et une seconde électrode connectée à la masse. Un transistor de champ Q33 est connecté entre une alimentation et une masse. La structure restante de la figure 96 est similaire à celle représentée sur la figure 66, et la description la concernant sera omise ici.

Ainsi, le transistor de champ Q31 remplit la fonction d'un circuit de protection entre la borne d'entrée externe P1 et le niveau de la masse, et le transistor de champ Q33 procure un chemin de diode parasite entre l'alimentation et le niveau de la masse.

La figure 97 est un schéma de circuit d'une partie de sortie d'un circuit auquel des transistors de champ sont appliqués. Comme représenté sur la figure 97, un transistor de champ Q32 a une première électrode connectée à une borne de sortie externe P4 et une seconde électrode connectée à la masse. Un transistor de champ Q34 est connecté entre une alimentation et une masse. La structure restante de la figure 97 est similaire à celle représentée sur la figure 67, et la description la concernant sera omise ici.

Ainsi, le transistor de champ Q32 remplit la fonction d'un circuit de protection entre la borne de sortie externe P4 et le niveau de la masse, et le transistor de champ Q34 procure un chemin de diode parasite entre l'alimentation et le niveau de la masse.



Les transistors de champ ont de préférence une structure de type NMOS, comme représenté sur la figure 95, à cause de sa possibilité de décharge élevée, mais une structure de type PMOS peut également être utilisée, auquel cas un transistor de champ serait connecté entre une alimentation et la borne d'entrée externe P1, à la place des transistors de champ Q31, Q32.

#### Seconde forme

La figure 98 est une coupe d'une seconde forme du dispositif à semiconducteur ayant la structure SOI conforme au vingtième mode de réalisation préféré de la présente invention. Comme représenté sur la figure 98, une pellicule d'oxyde complète 265 entoure les régions  $n^+$  261 et 262 pour isoler complètement les régions  $n^+$  261 et 262 par rapport à leurs régions environnantes. La structure restante de la figure 98 est similaire à celle de la première forme représentée sur la figure 95, et la description la concernant sera omise ici.

On prévoit que la seconde forme, dans laquelle la pellicule d'oxyde complète 265 entoure le transistor de champ entier, produira d'excellents effets d'élimination du bruit et autres.

En outre, lorsque le transistor de champ est utilisé à titre de circuit de protection, la seconde forme peut éviter de façon fiable l'existence d'un chemin de courant parasite vers d'autres éléments constitutifs.

#### Troisième forme

La figure 99 est une vue en plan d'une troisième forme du dispositif à semiconducteur ayant la structure SOI conforme au vingtième mode de réalisation préféré de la présente invention. Une multiplicité de régions  $n^+$  261 et 262 sont disposées en alternance. La pellicule d'oxyde 264 et la région  $p^-$  263 procurent une isolation partielle entre des régions adjacentes parmi les régions  $n^+$  261, 262, et la pellicule d'oxyde complète 265 isole complètement les régions  $n^+$  261, 262 par rapport à leurs régions environnantes.

Les multiples régions  $n^+$  261 sont connectées en commun à une borne de connexion P11, et les multiples régions  $n^+$  262 sont connectées en commun à une borne de connexion P12. Par conséquent, les multiples régions  $n^+$  261 et 262 disposées en une configuration en peigne sont



connectées électriquement en parallèle pour améliorer leurs possibilités de décharge.

#### Modification

5 Il n'est pas nécessaire que la profondeur des régions de source/drain (régions n<sup>+</sup> 261, 262) du transistor de champ atteigne la pellicule d'oxyde enterrée 2, mais elle peut être définie de façon à permettre à la couche de désertion d'atteindre la pellicule d'oxyde enterrée 2.

#### Modifications supplémentaires

10 Le processus pour faire en sorte que les régions de source/drain atteignent la pellicule d'oxyde enterrée peut employer la technique classique d'implantation d'impuretés à une profondeur suffisante pour former les régions de source/drain, ou d'implantation d'impuretés pour établir un maximum de concentration en impureté profond,  
15 après l'implantation d'impuretés pour établir un maximum de concentration en impureté à faible profondeur.

Cependant, ce processus n'est pas capable d'établir le maximum de concentration en impureté à une position peu profonde dans les régions de source/drain, et une distribution d'impureté suffisamment  
20 profonde pour s'étendre à travers la couche SOI 3, comme dans la première forme du quatorzième mode de réalisation préféré, représentée sur la figure 85.

Par conséquent, on peut appliquer un procédé d'implantation d'impuretés sous un angle proche de zéro degré, et avec une énergie  
25 d'implantation suffisamment faible, pour établir un maximum de concentration en impureté à une position relativement peu profonde dans la couche SOI 3, comme indiqué par le symbole de référence L1 de la figure 100, tandis qu'un profil de queue résultant du phénomène de canalisation établit une distribution d'impureté comme indiqué par le symbole de référence  
30 L2 de la figure 100, dans laquelle les impuretés s'étendent à travers la couche SOI 3 pour atteindre la pellicule d'oxyde enterrée 2.

Il va de soi que de nombreuses autres modifications peuvent être apportées au dispositif décrit et représenté, sans sortir du cadre de l'invention.



parmi les surfaces supérieure et inférieure de l'une au moins de la multiplicité de régions de formation de dispositif.

5 7. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce qu'au moins une partie de la région d'isolation ou des régions d'isolation comprend en outre une région d'isolation combinée (33, 29) incluant la région d'isolation partielle et une région diélectrique complète s'étendant à travers la couche SOI, la région d'isolation partielle et la région diélectrique complète étant mutuellement en continuité.

10 8. Dispositif à semiconducteur selon la revendication 7, caractérisé en ce que la région d'isolation partielle a une surface supérieure plane et uniforme.

15 9. Dispositif à semiconducteur selon la revendication 7, caractérisé en ce que la région de semiconducteur de la région d'isolation combinée a une épaisseur (TB) qui n'est pas supérieure à la moitié de l'épaisseur (TA + TB) de la couche SOI.

20 10. Dispositif à semiconducteur selon la revendication 7, caractérisé en ce que la région diélectrique complète de la région d'isolation combinée a une largeur (WC) qui n'est pas supérieure à la moitié de la largeur (WD) de la région d'isolation combinée.

25 11. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce que la région d'isolation ou les régions d'isolation comprennent en outre une région d'isolation complète (114, 115, 110) ayant une région diélectrique complète s'étendant à travers la couche SOI; en ce que la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor NMOS d'entrée/sortie (106) et une région de formation de transistor PMOS d'entrée/sortie (116) qui sont disposées de façon mutuellement adjacente; et en ce que la région d'isolation complète est formée au moins au voisinage d'une frontière entre la région de formation de transistor NMOS d'entrée/sortie et la région de formation de transistor PMOS d'entrée/sortie.

30 12. Dispositif à semiconducteur selon la revendication 11, caractérisé en ce que la multiplicité de régions de formation de dispositif comprennent en outre une région de formation de circuit interne (190, 180) disposée en position adjacente à une région parmi la région de formation de transistor NMOS d'entrée/sortie (106) et la région de formation



de transistor PMOS d'entrée/sortie (116); et en ce que la région d'isolation complète (110) est en outre formée au voisinage d'une frontière entre la région de formation de circuit interne et l'une de la région de formation de transistor NMOS d'entrée/sortie et de la région de formation de transistor PMOS d'entrée/sortie qui est disposée en position adjacente à la région de formation de circuit interne.

13. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce que la région d'isolation ou les régions d'isolation comprennent en outre une région d'isolation complète (120) ayant une région diélectrique complète s'étendant à travers la couche SOI; en ce que la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor NMOS (126) et une région de formation de transistor PMOS (136) qui sont disposées de façon mutuellement adjacente; en ce que la région d'isolation complète (120) est formée dans un emplacement de formation de région d'isolation complète situé à l'intérieur de la région de formation de transistor PMOS au voisinage d'une frontière entre la région de formation de transistor NMOS et la région de formation de transistor PMOS; et en ce que la région d'isolation partielle (127, 137) entoure la région de formation de transistor NMOS et la région de formation de transistor PMOS, sauf dans l'emplacement de formation de région d'isolation complète.

14. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce que la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor d'un premier type de conductivité; en ce que la région d'isolation partielle comprend une région d'isolation partielle périphérique entourant la région de formation de transistor; et en ce que la région de corps comprend une région de corps périphérique d'un second type de conductivité entourant la région d'isolation partielle périphérique.

15. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce que la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor MOS; et en ce que la région de corps comprend une région de corps adjacente à la source (156) disposée en position adjacente à une région de source (154) de la région de formation de transistor MOS; le dispositif à semiconducteur



comprenant en outre une région de fixation de potentiel électrique (158, 160) connectée en commun à la région de source et à la région de corps adjacente à la source.

5 16. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce que la région de semiconducteur de la région d'isolation partielle comprend des première et seconde régions de semiconducteur partielles; et en ce que la concentration en impureté de la première région de semiconducteur partielle (174, 175; 206, 207) est supérieure à celle de la seconde région de semiconducteur partielle (176; 204, 205).

10 17. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce que la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor MOS d'un premier type de conductivité, et la région de semiconducteur de la région d'isolation partielle comprend une région d'un second type de conductivité; et  
15 en ce qu'un maximum de la concentration en impureté de la région de semiconducteur (182) de la région d'isolation partielle est plus profond à partir d'une surface de la couche SOI qu'un maximum de la concentration en impureté d'une région de drain/source (183, 184) formée en contact avec la région de semiconducteur dans la région de formation de tran-  
20 sistor MOS.

18. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce que la multiplicité de régions de formation de dispositif comprennent une région de formation de transistor MOS; et en ce qu'un maximum de la concentration en impureté d'une région de formation de  
25 canal (187) de la région de formation de transistor MOS est plus profond à partir d'une surface de la couche SOI qu'un maximum de la concentration en impureté de la région de semiconducteur (182) de la région d'isolation partielle.

19. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce que la région d'isolation partielle a une partie de coin de surface et une partie de coin inférieure, cette partie de coin inférieure ayant un rayon de courbure supérieur à celui de la partie de coin de sur-  
30 face.

20. Dispositif à semiconducteur selon la revendication 7, caractérisé en ce que la région diélectrique partielle de la région d'isolation  
35



combinée a une partie de coin inférieure et une partie consistant en une marche définie entre la région diélectrique complète et la région diélectrique partielle, la partie consistant en une marche ayant un rayon de courbure inférieur à celui de la partie de coin inférieure.

5           21. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce que la région d'isolation ou les régions d'isolation comprennent en outre une région d'isolation complète (210) ayant une région diélectrique complète s'étendant à travers la couche SOI; et ce dispositif à semiconducteur comprenant en outre un élément à inductance (199)  
10 formé dans une région de formation d'inductance s'étendant dans une partie supérieure de la couche SOI, la région d'isolation complète étant formée sous la région de formation d'inductance.

          22. Dispositif à semiconducteur selon la revendication 1, caractérisé en ce que la multiplicité de régions de formation de dispositif  
15 comprennent une région de formation de transistor MOS (225, 226), et la région de corps (234) comprend une région de corps connectée à la grille, qui est connectée électriquement à une électrode de grille (235) d'un transistor MOS formé dans la région de formation de transistor MOS; et en ce que la région d'isolation partielle (230) entoure la région de formation de transistor MOS.  
20

          23. Dispositif à semiconducteur ayant une structure SOI comprenant un substrat semiconducteur (1), une couche diélectrique enterrée (2) et une couche SOI (3), caractérisé en ce qu'il comprend : une région de formation de dispositif (128) dans laquelle un dispositif prédéterminé  
25 doit être formé, cette région de formation de dispositif étant établie dans la couche SOI; et une région d'isolation périphérique établie dans la couche SOI et entourant la région de formation de dispositif, cette région d'isolation périphérique comprenant une région d'isolation partielle (149) ayant une région diélectrique partielle formée dans sa partie supérieure, et une région de semiconducteur formée dans sa partie inférieure et  
30 constituant une partie de la couche SOI; et en ce que la région de semiconducteur est formée en contact avec la région de formation de dispositif et est flottante.



FIG. 1

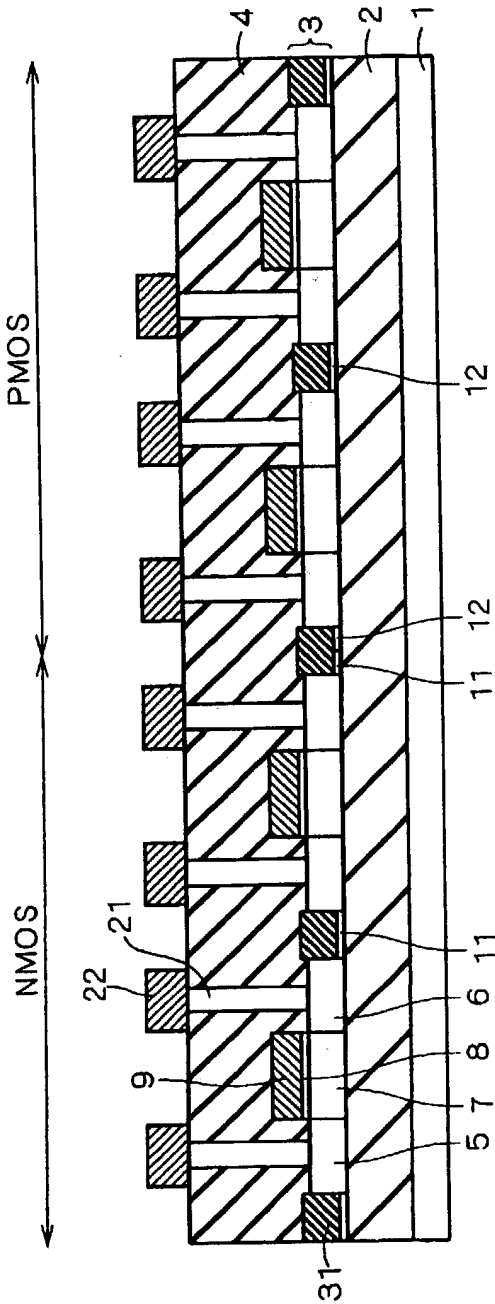




FIG. 2

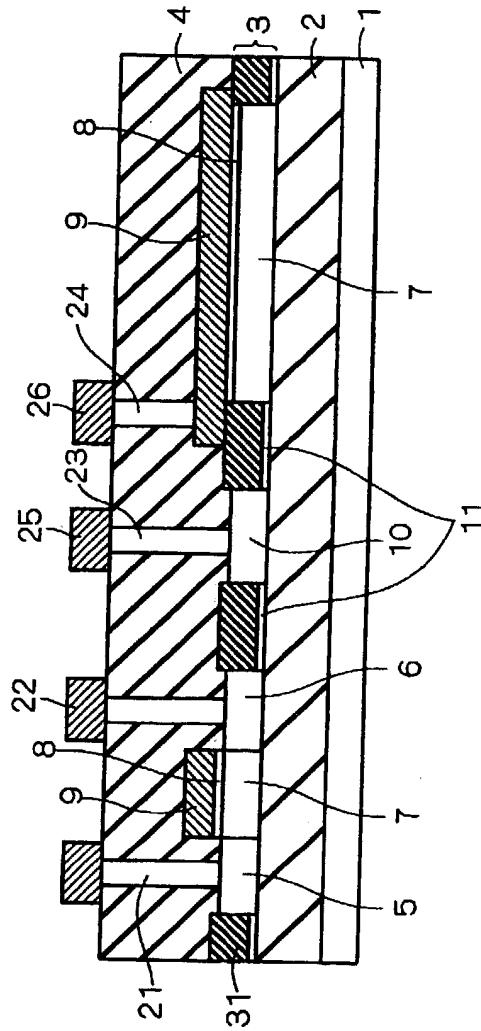




FIG. 3

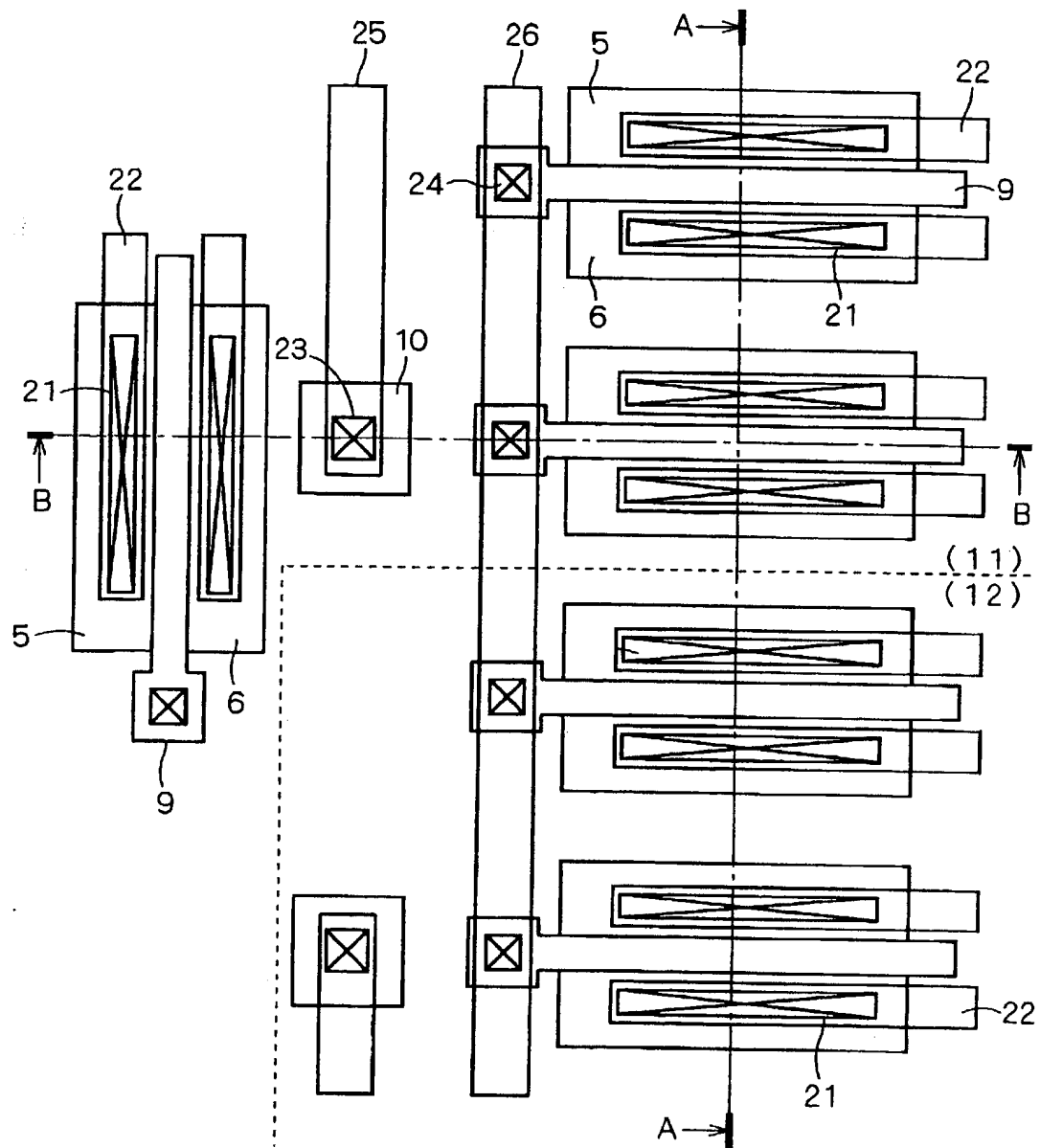
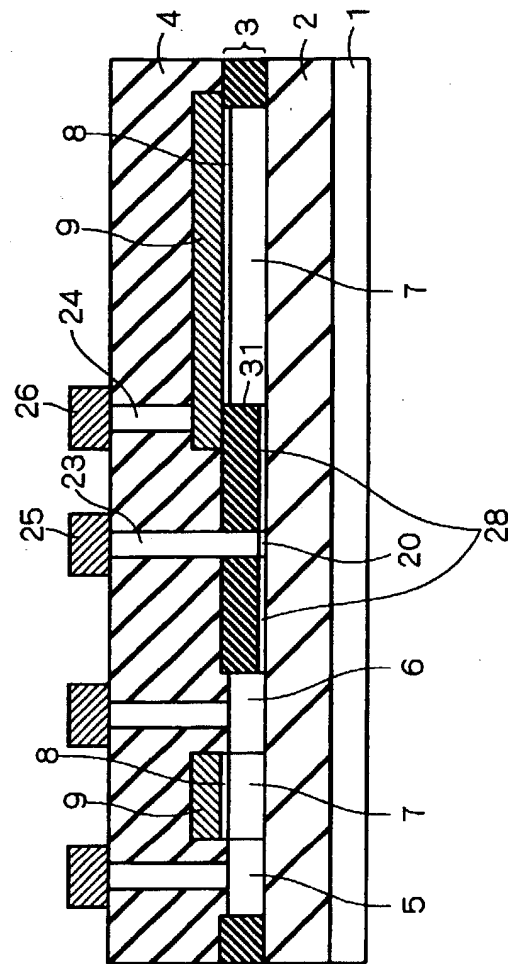




FIG. 4





[illegible]



FIG. 6

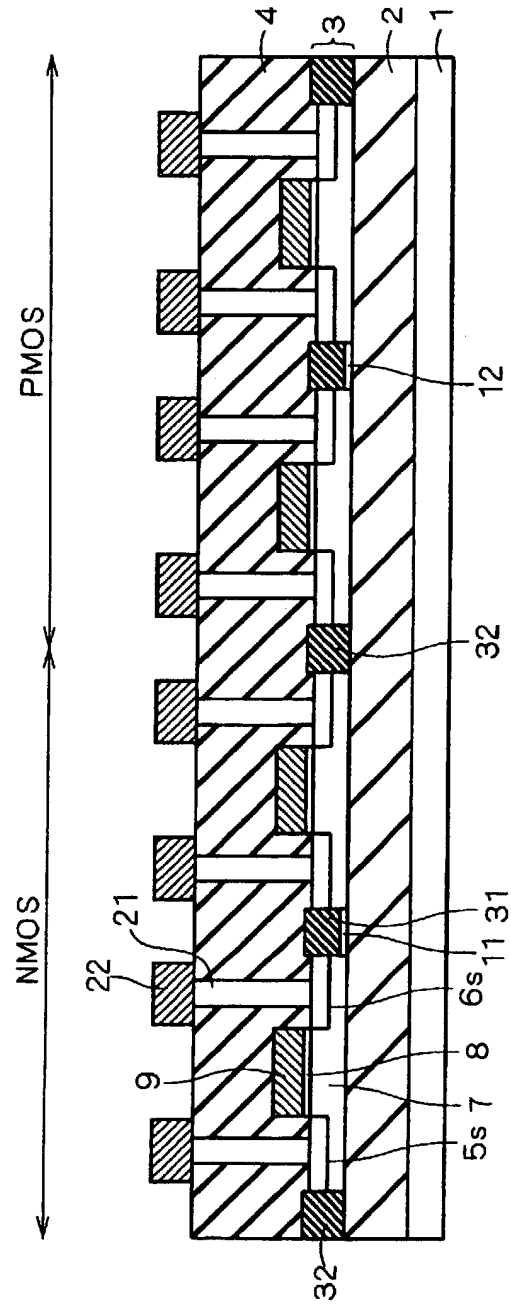




FIG. 7

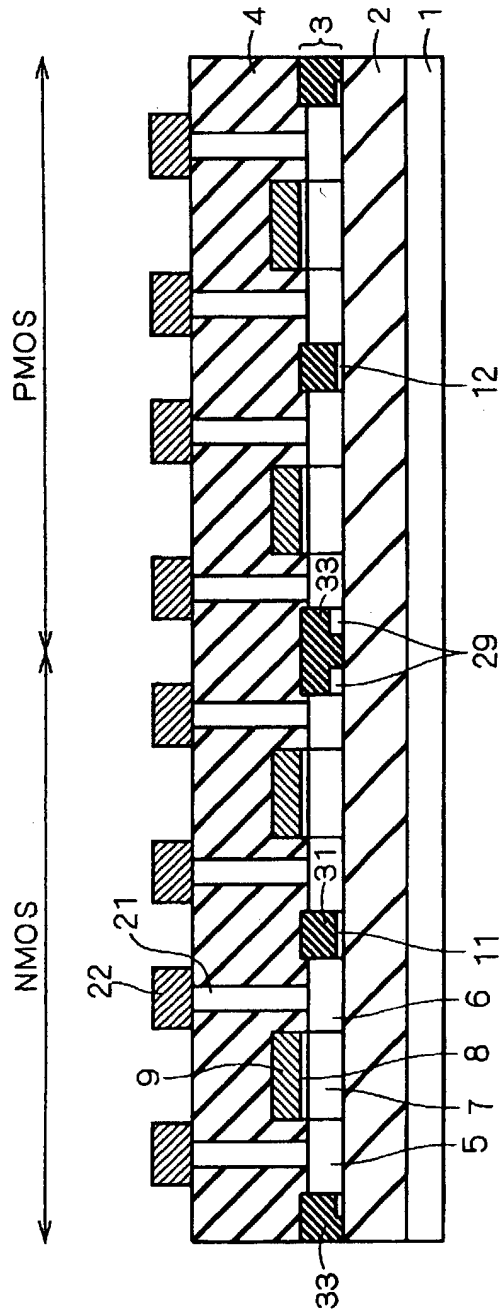




FIG. 8

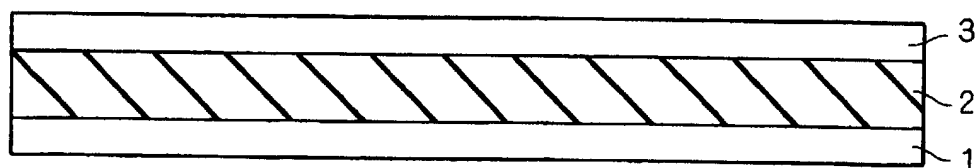


FIG. 9

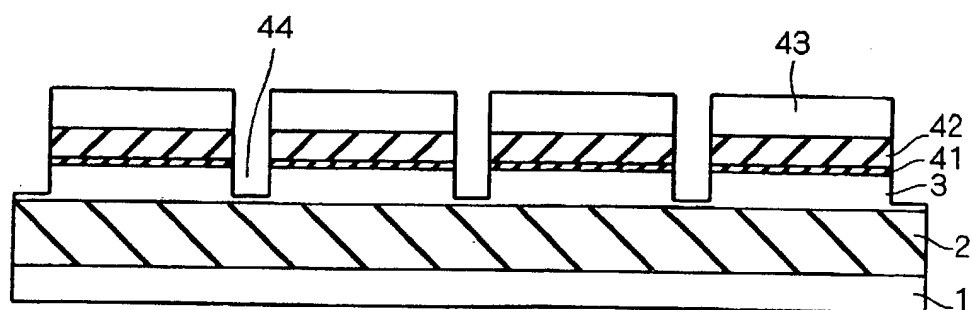


FIG. 10

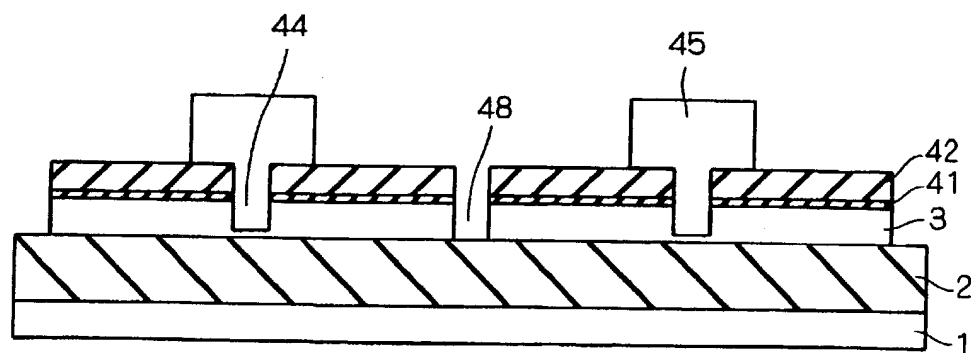




FIG. 11

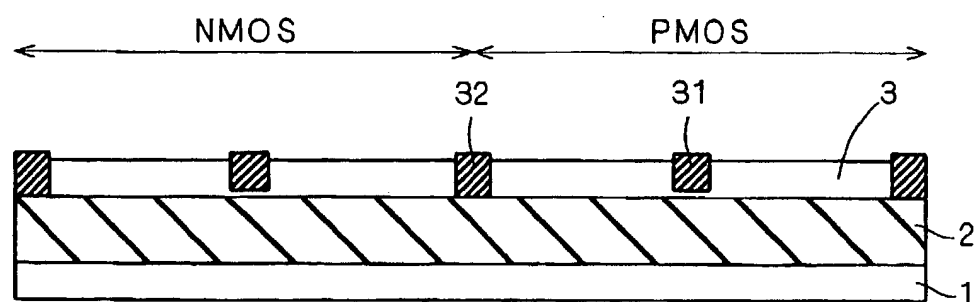


FIG. 12

IMPLANTATION IONIQUE

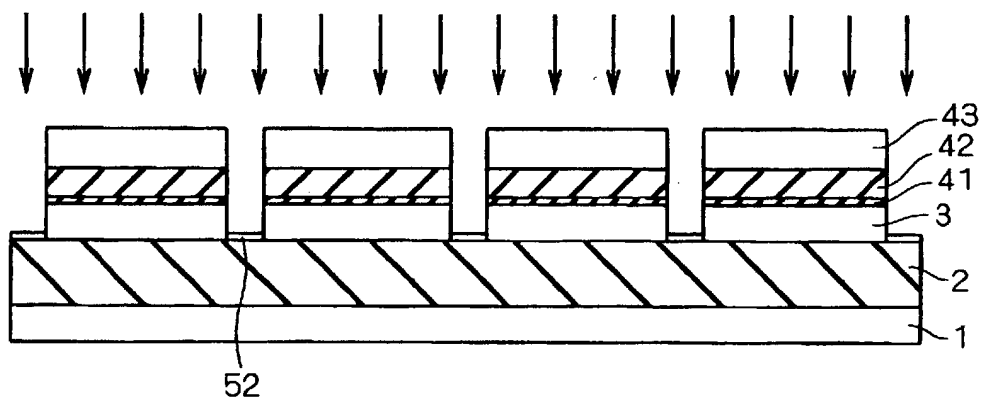


FIG. 13

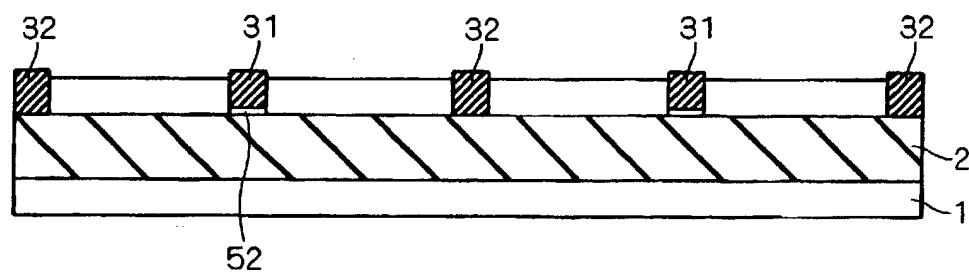
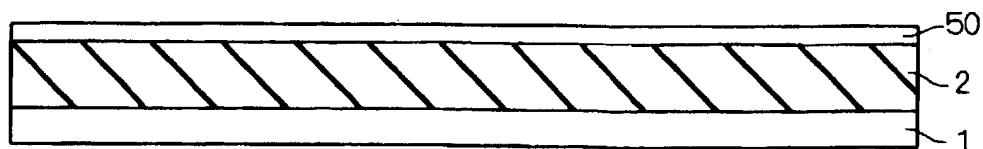


FIG. 14





10/59

FIG. 15

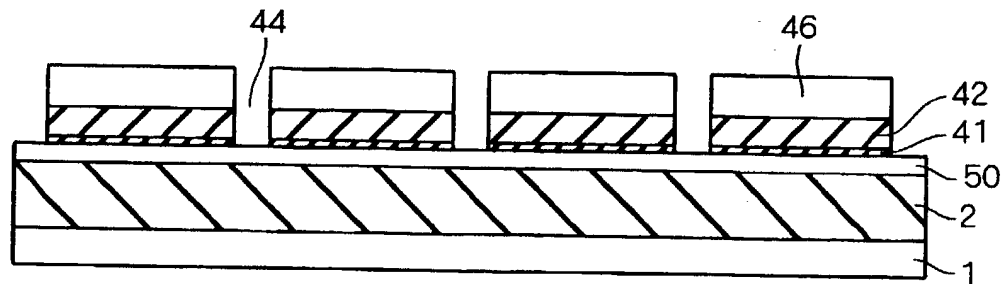


FIG. 16

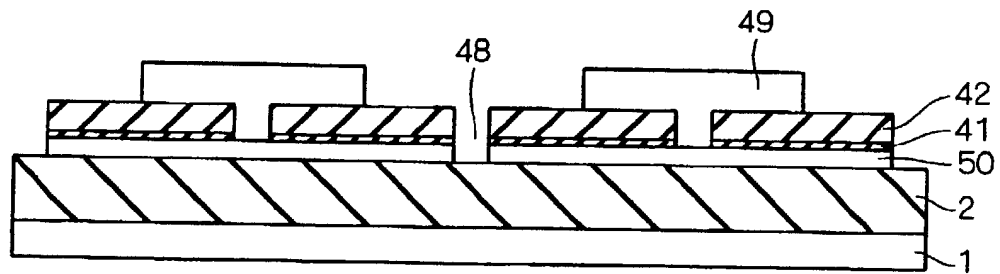


FIG. 17

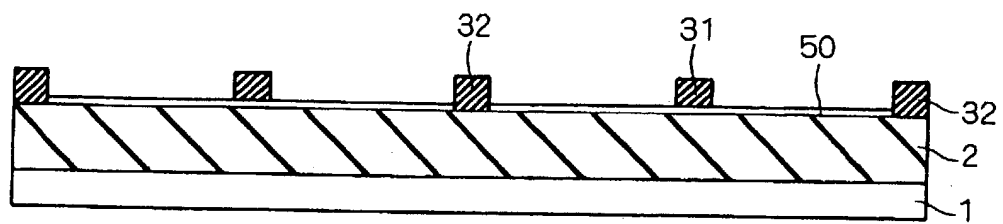


FIG. 18

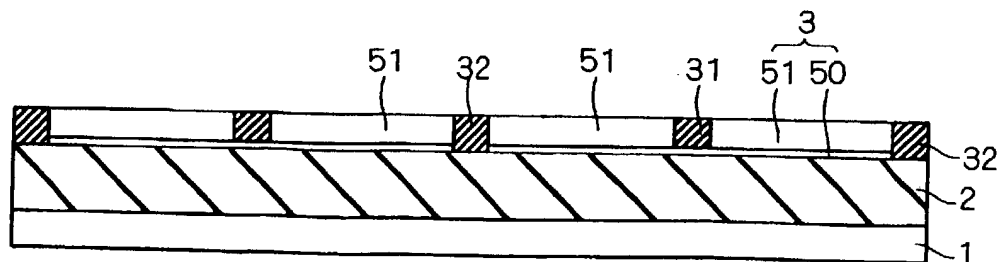




FIG. 19

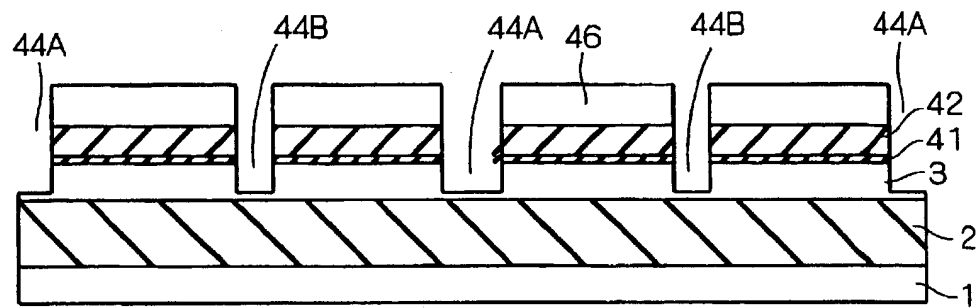


FIG. 20

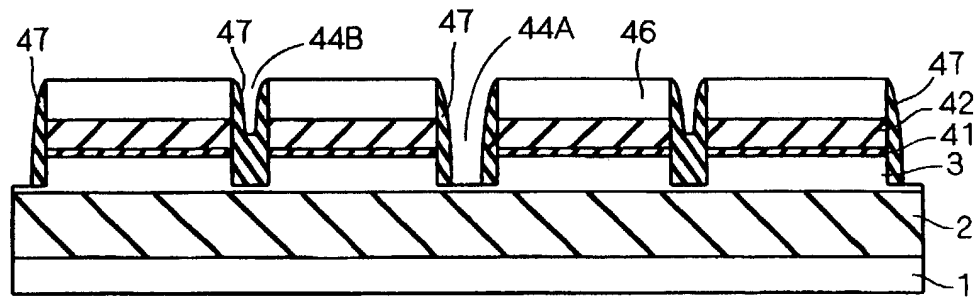


FIG. 21

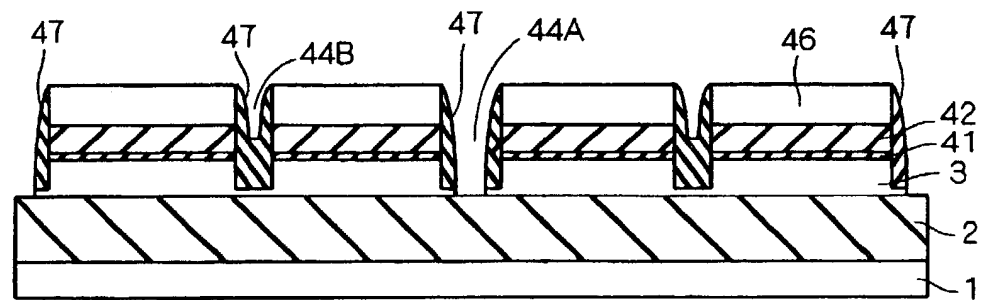


FIG. 22

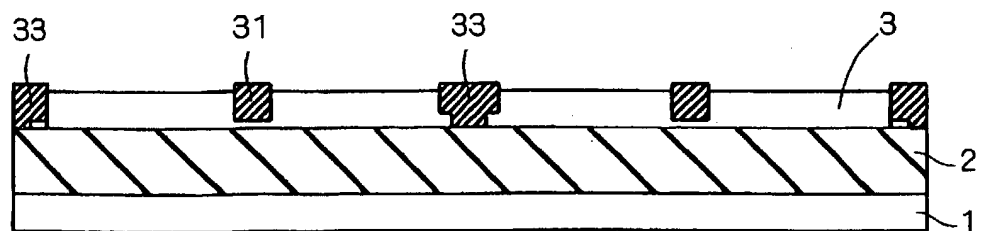




FIG. 23

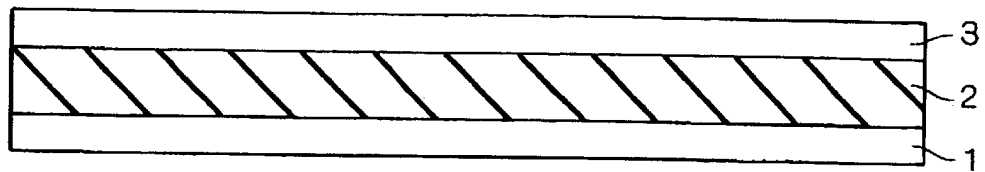


FIG. 24

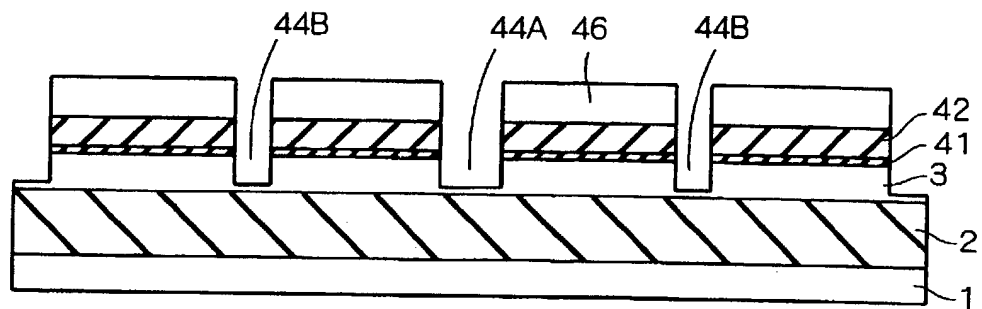


FIG. 25

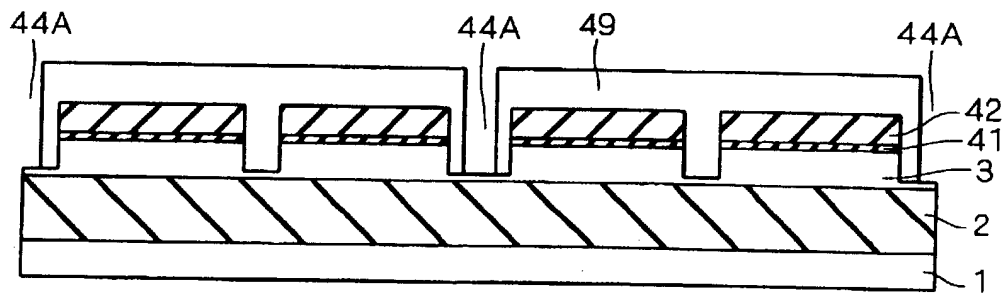
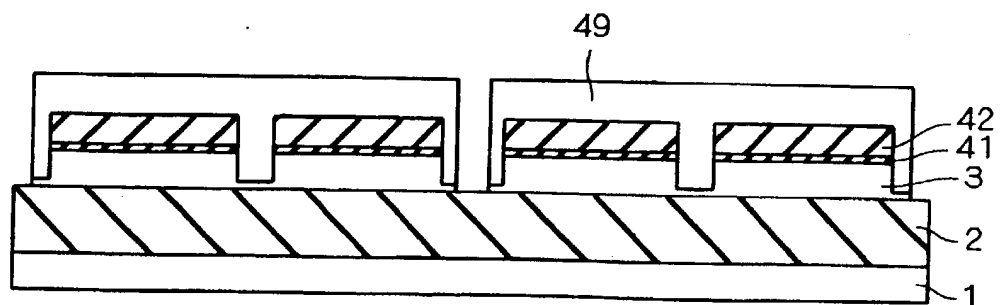


FIG. 26





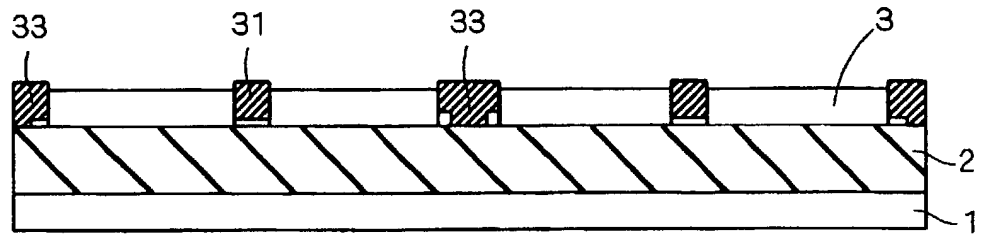
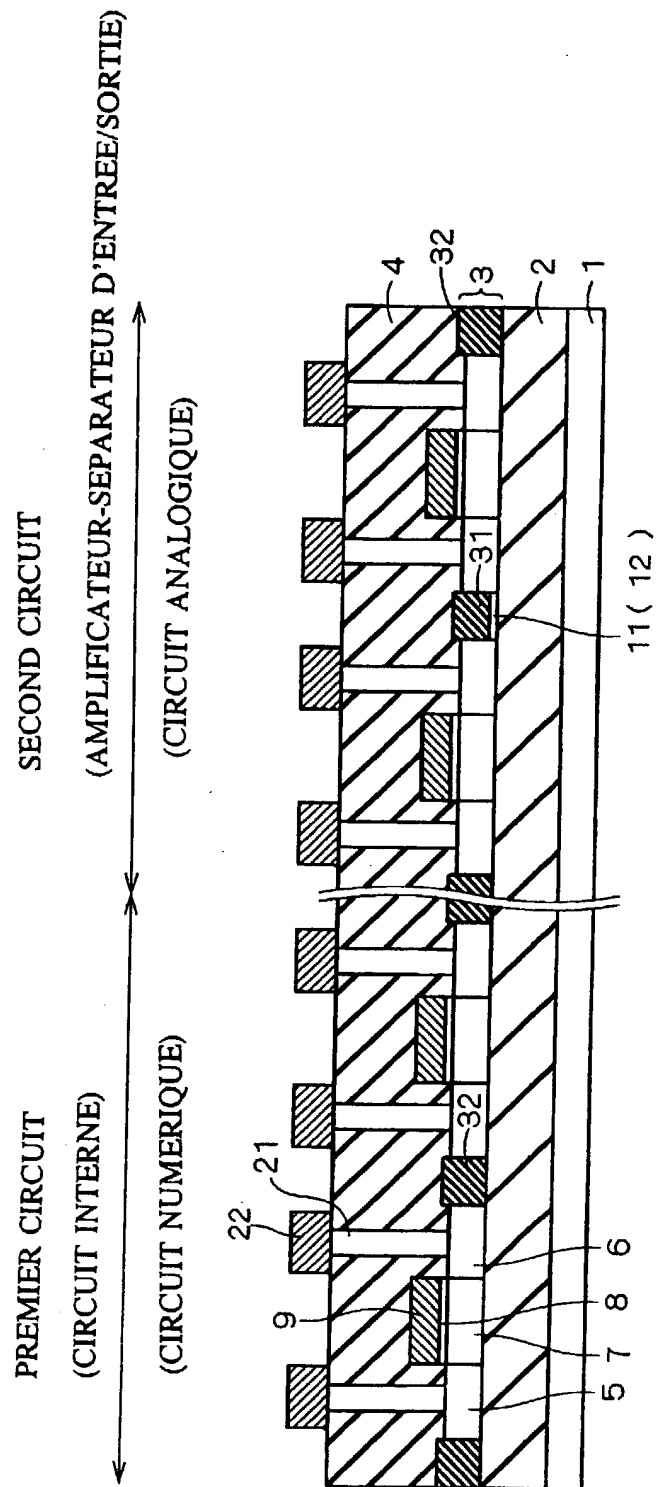
*FIG. 27*



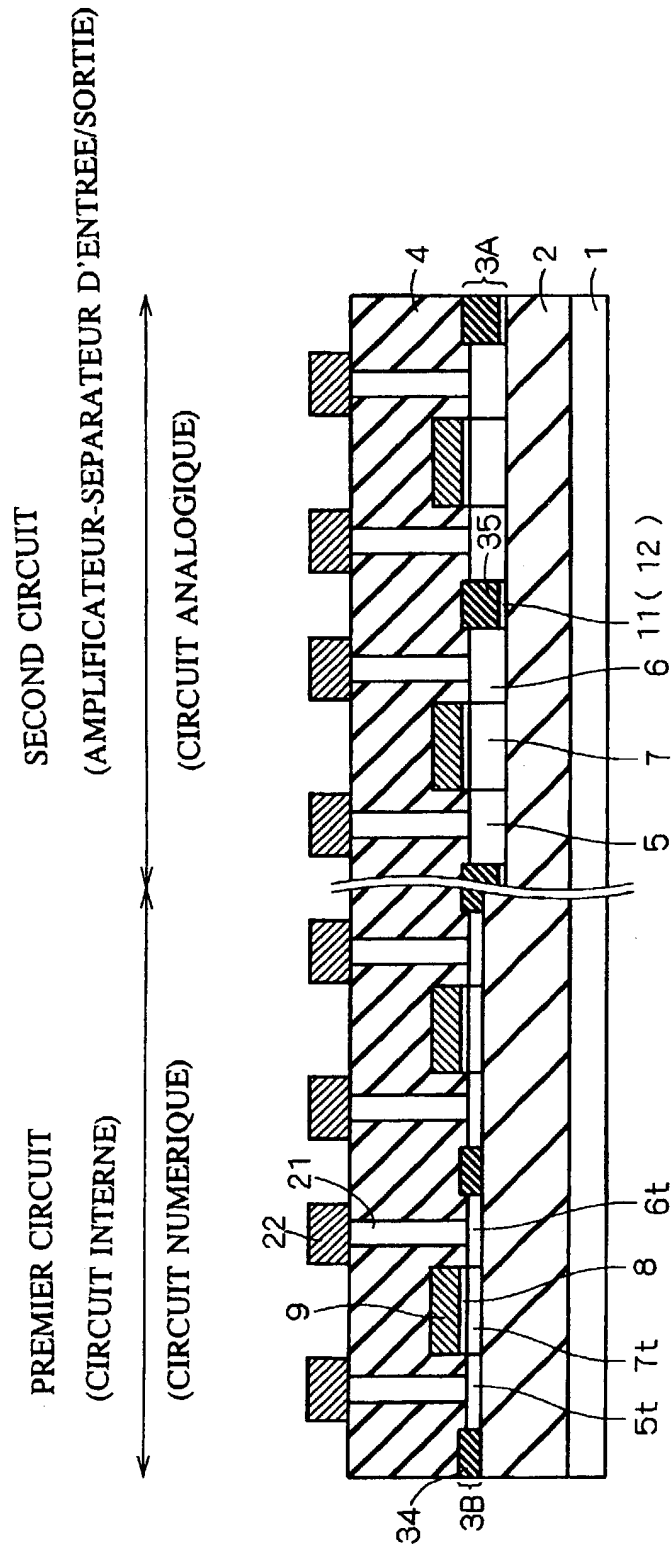
FIG. 28





15/59

FIG. 29





PMOS

NMOS

1, 2, 3, 4, 5, 6, 7, 8, 9, 21, 22, 61, 62, 71



FIG. 31

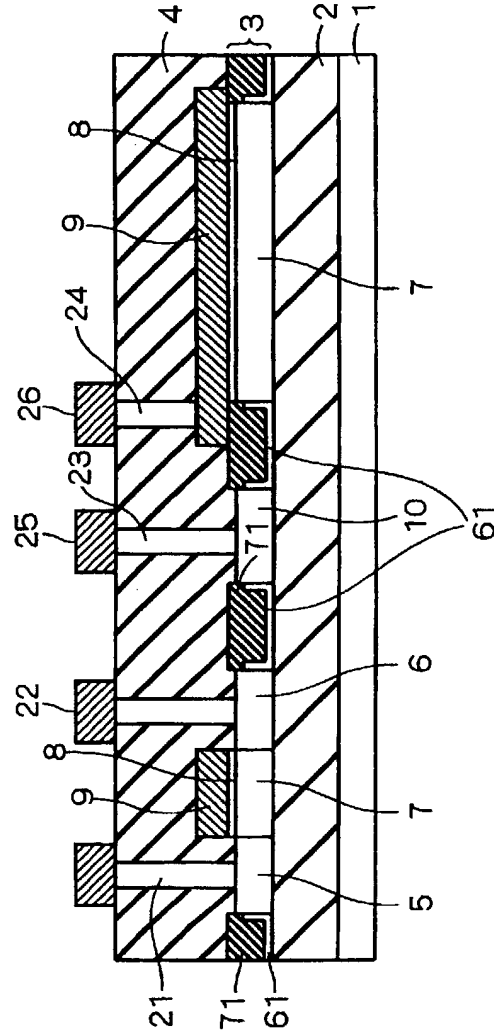




FIG. 32

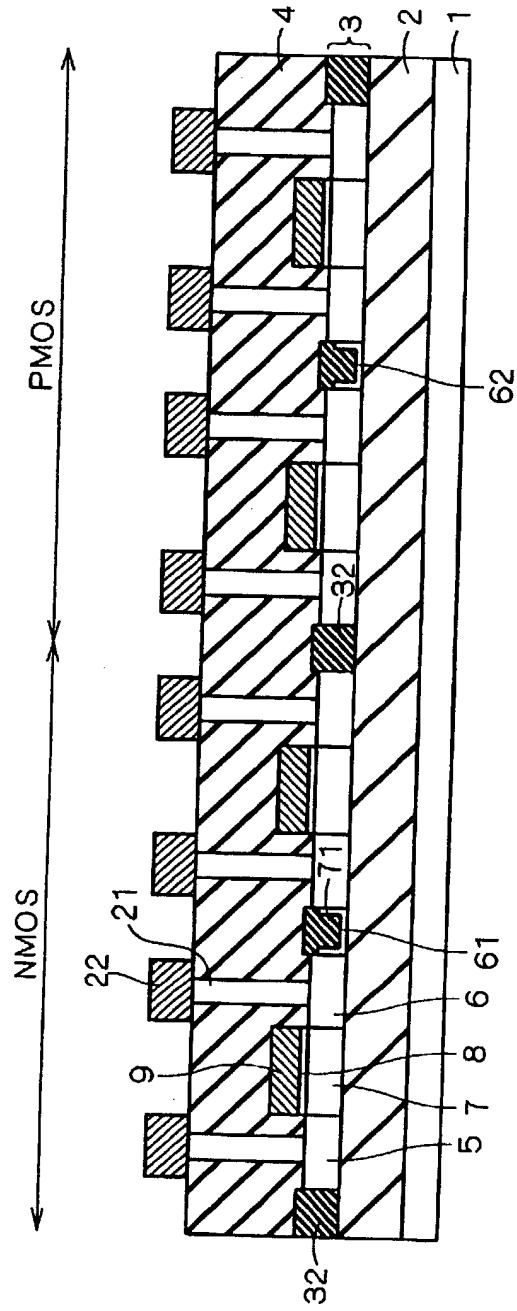




FIG. 33

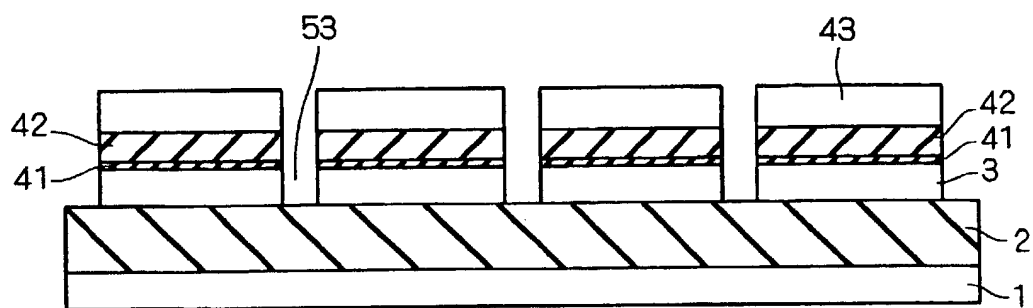


FIG. 34

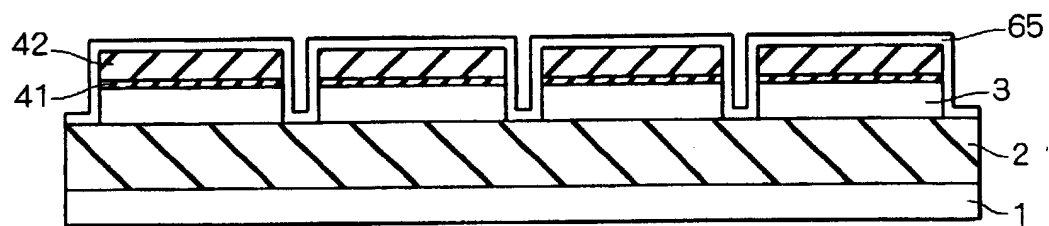


FIG. 35

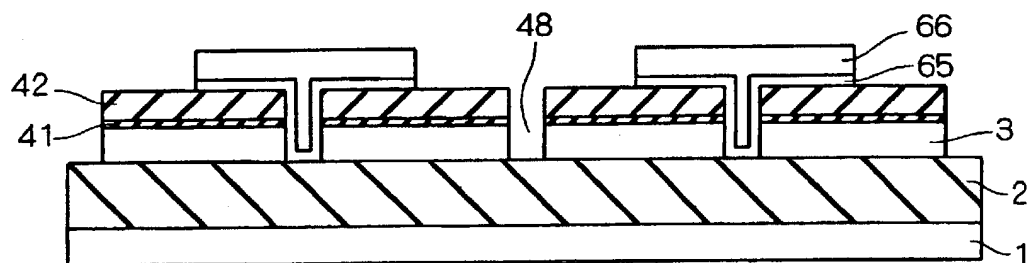


FIG. 36

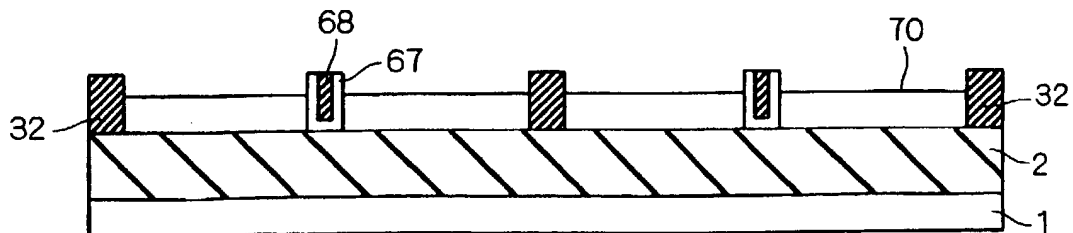




FIG. 37

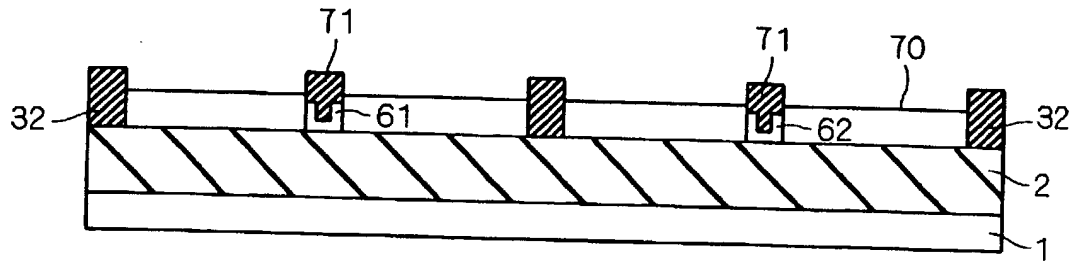


FIG. 38

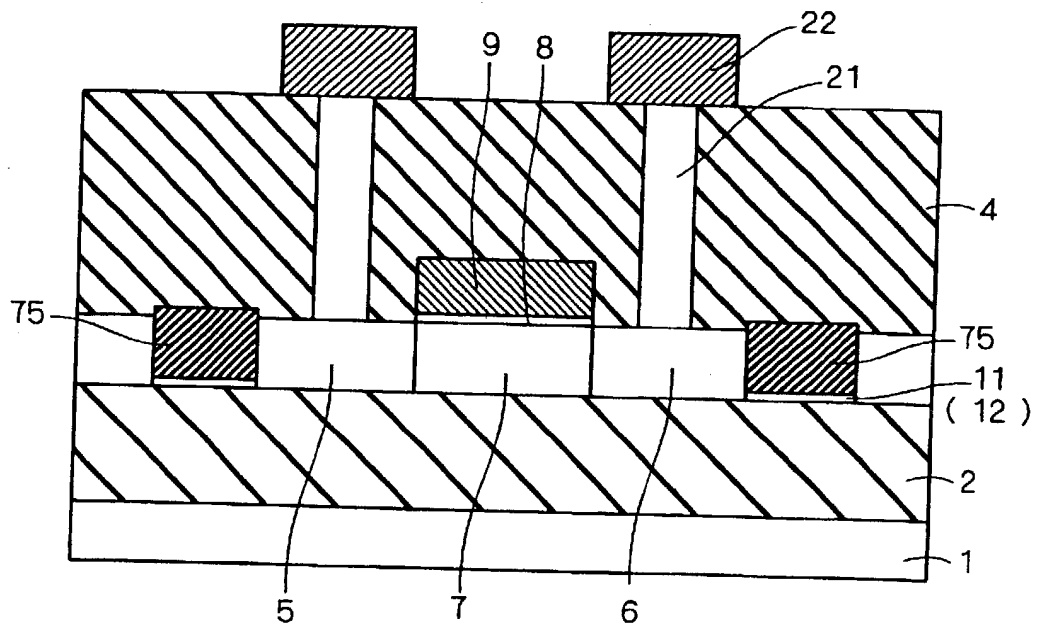




FIG. 39

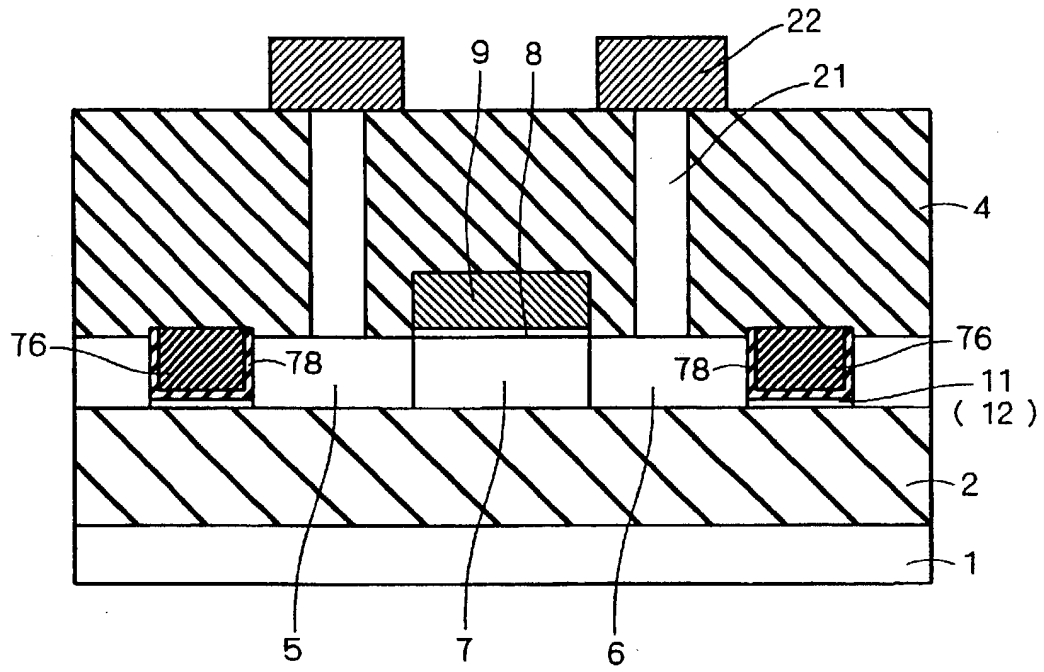


FIG. 40

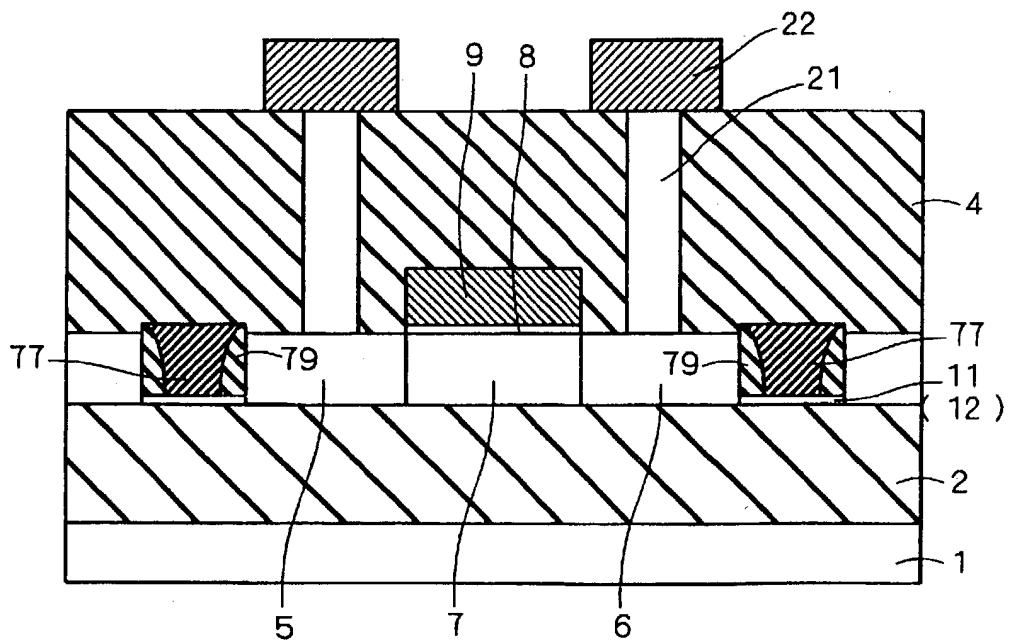




FIG. 41

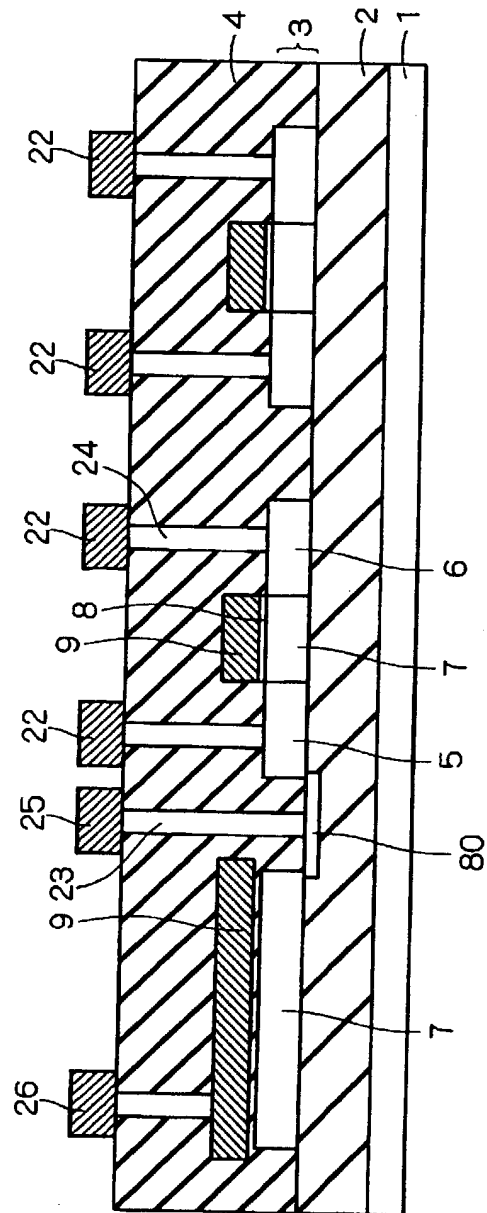
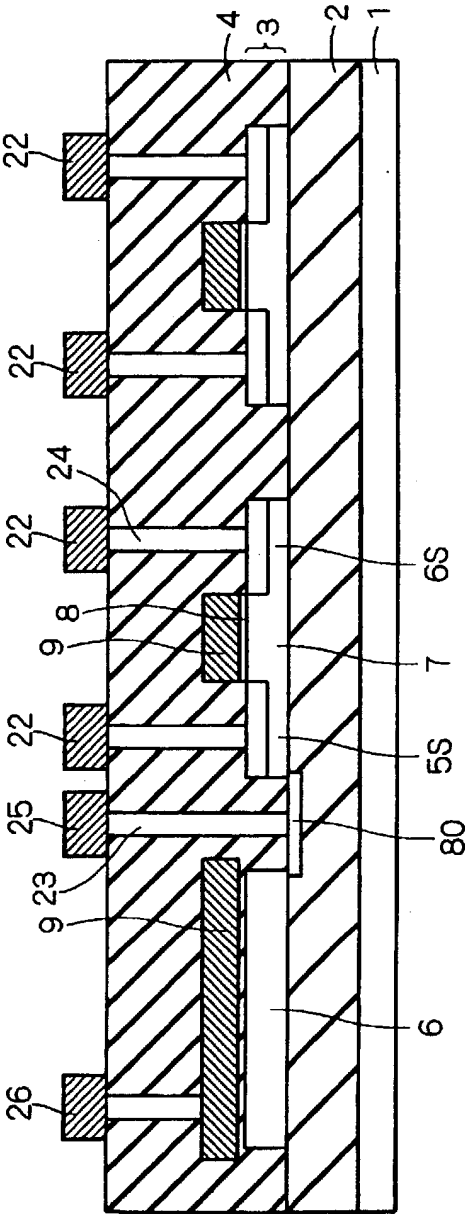




FIG. 42





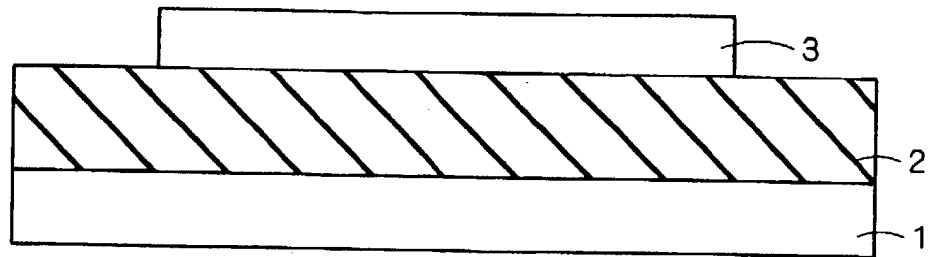
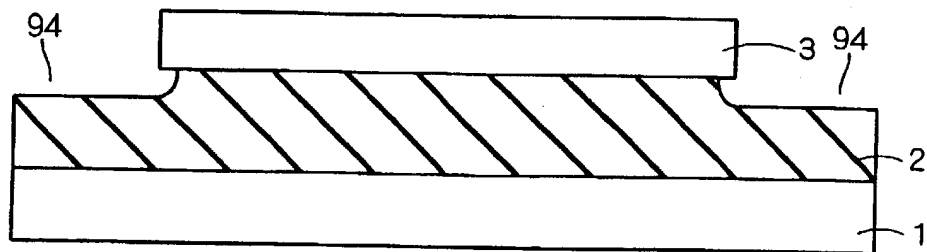
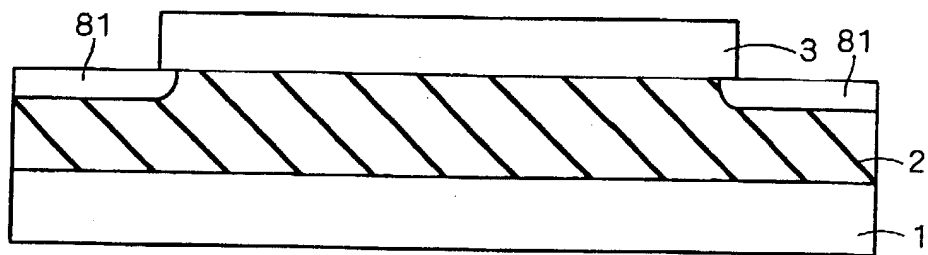
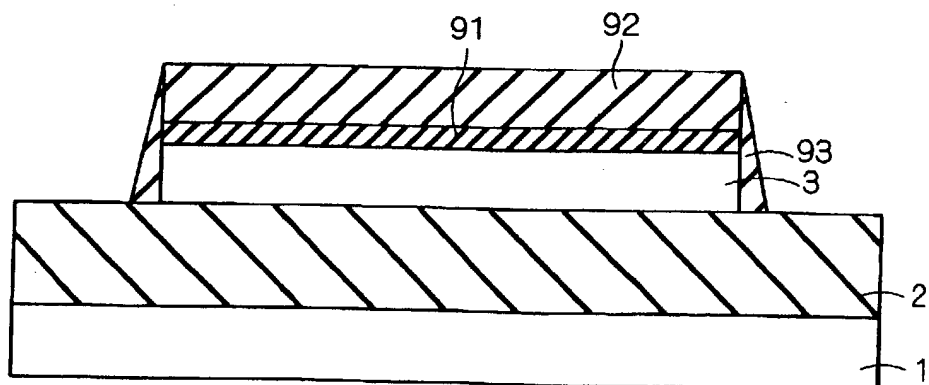
*FIG. 43**FIG. 44**FIG. 45**FIG. 46*



FIG. 47

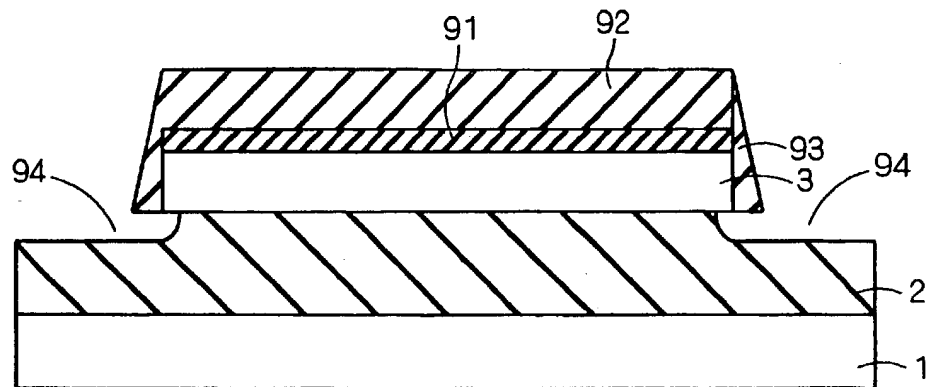


FIG. 48

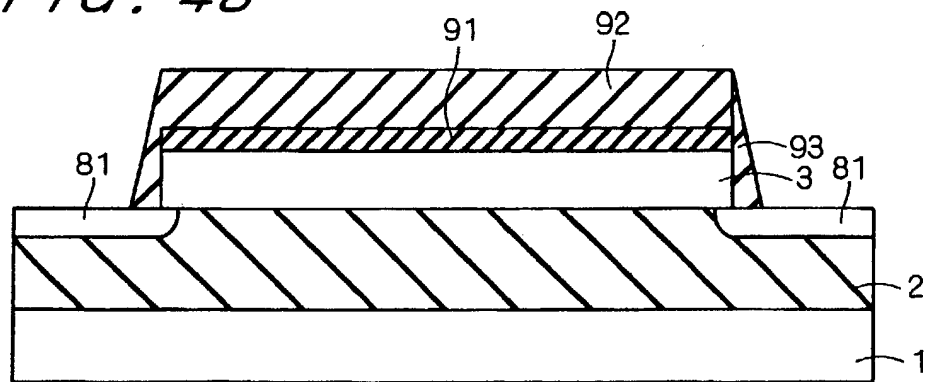
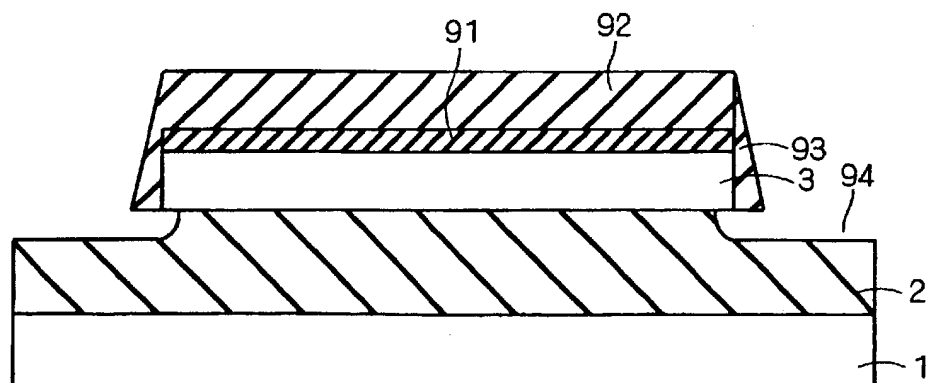


FIG. 49





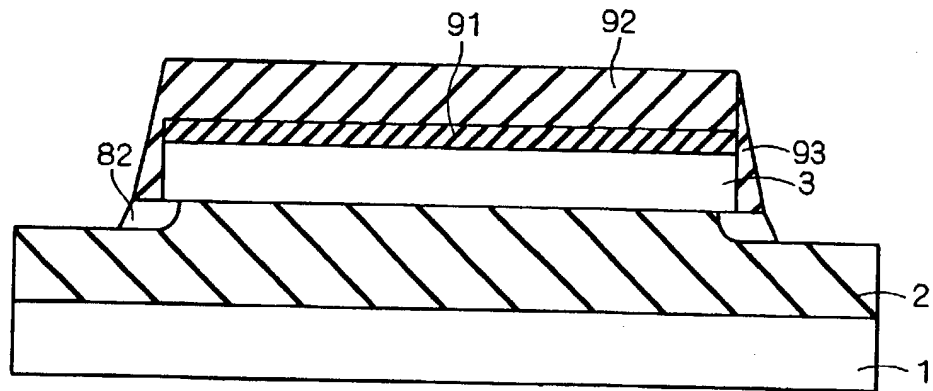
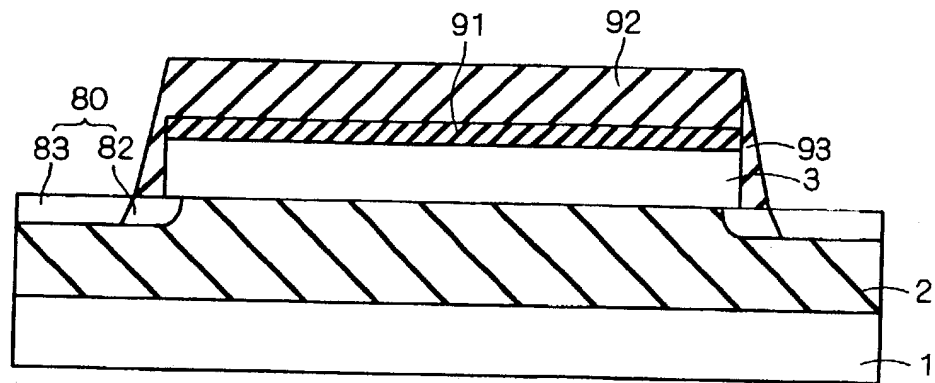
*FIG. 50**FIG. 51*







FIG. 53

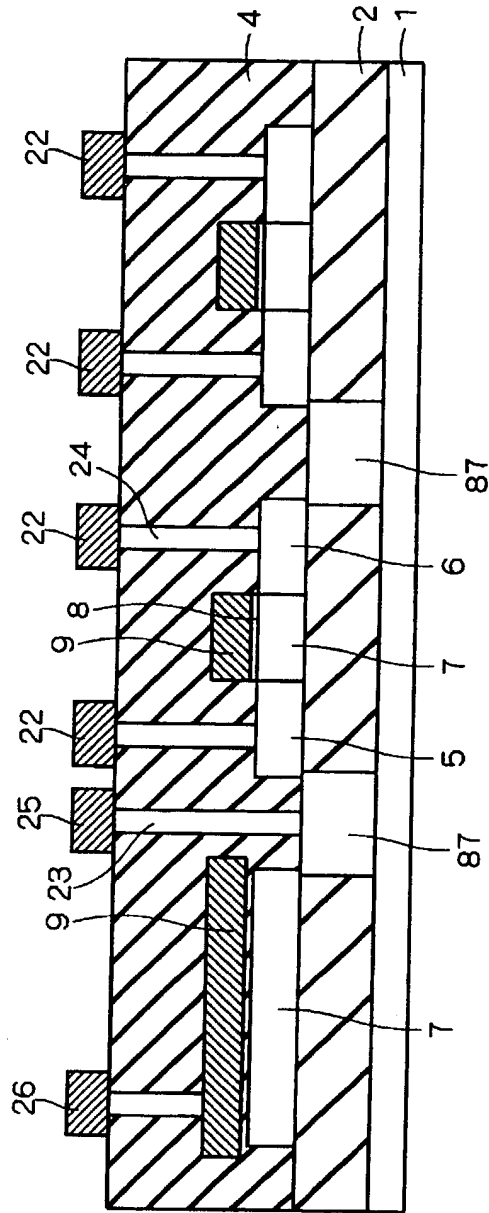




FIG. 54

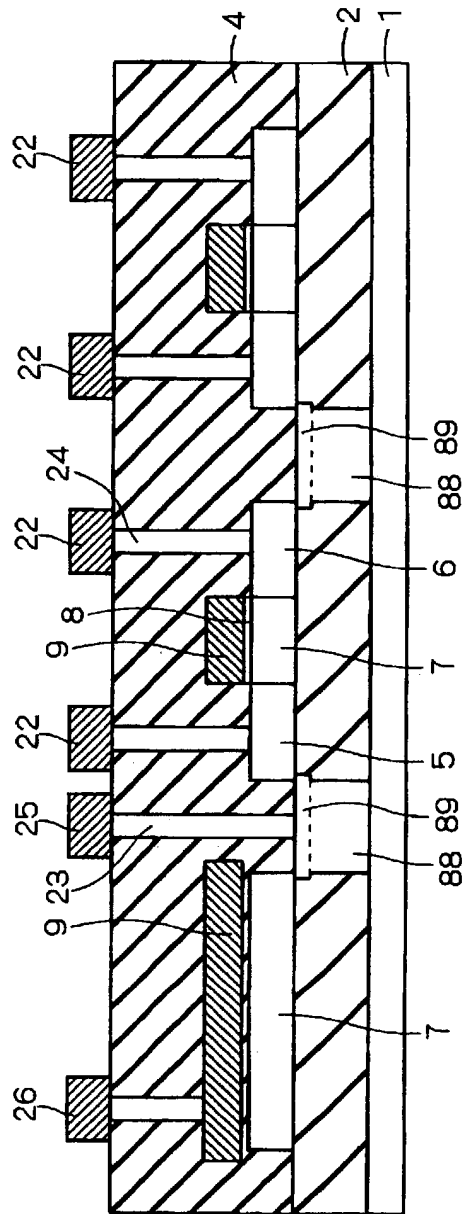
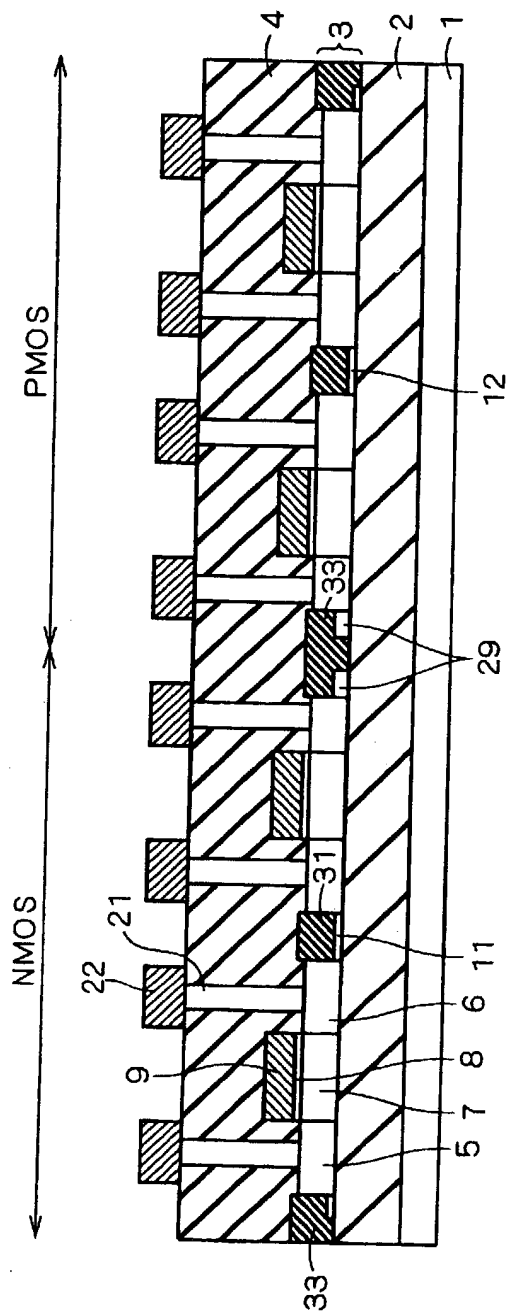




FIG. 55





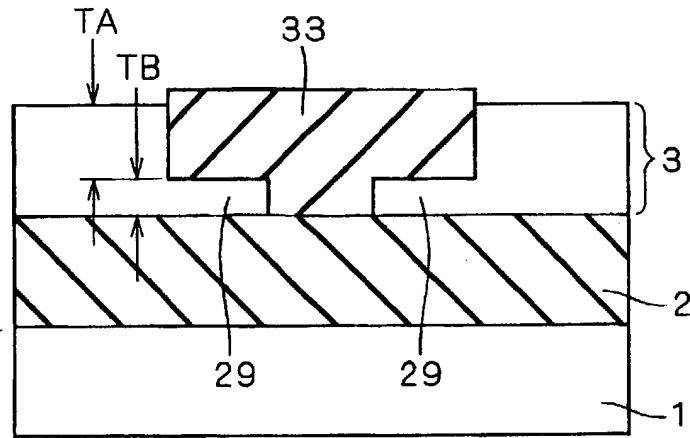
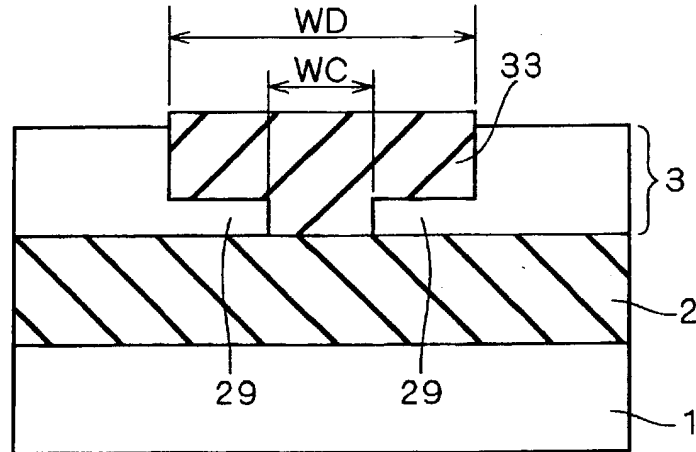
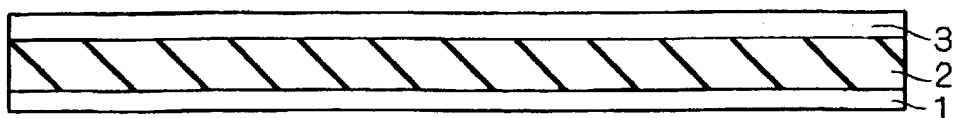
*FIG. 56**FIG. 57**FIG. 58*



FIG. 59

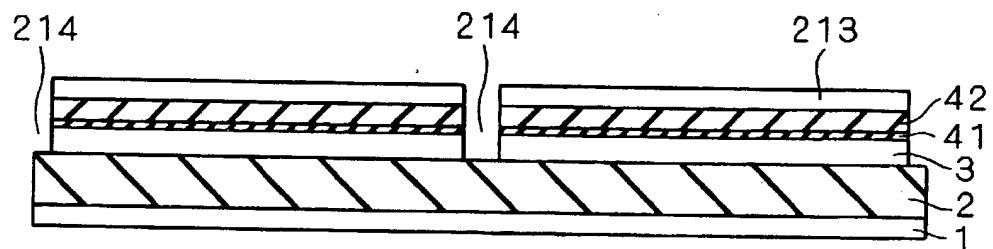


FIG. 60

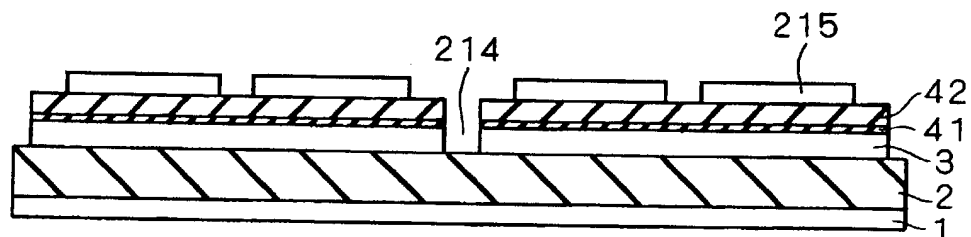


FIG. 61

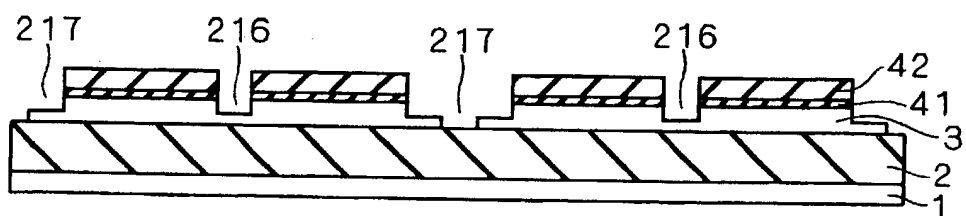


FIG. 62

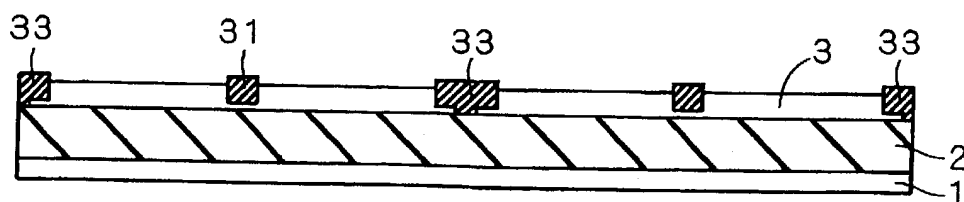




FIG. 63

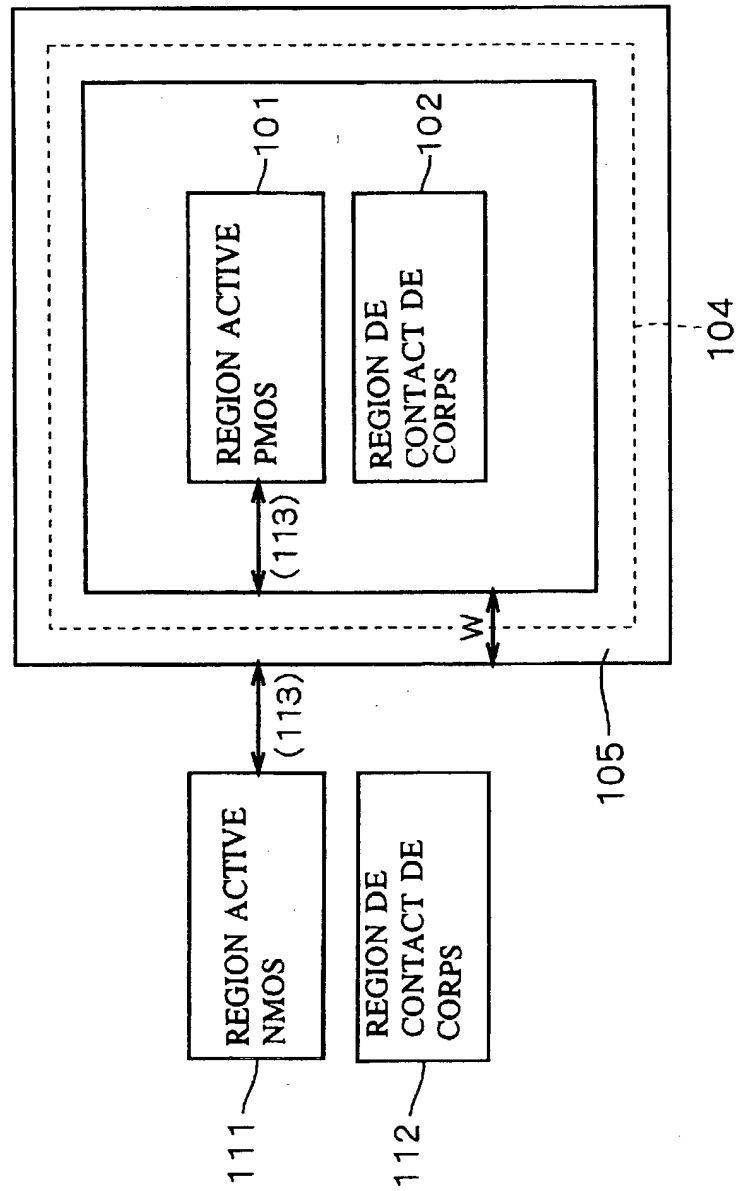




FIG. 64

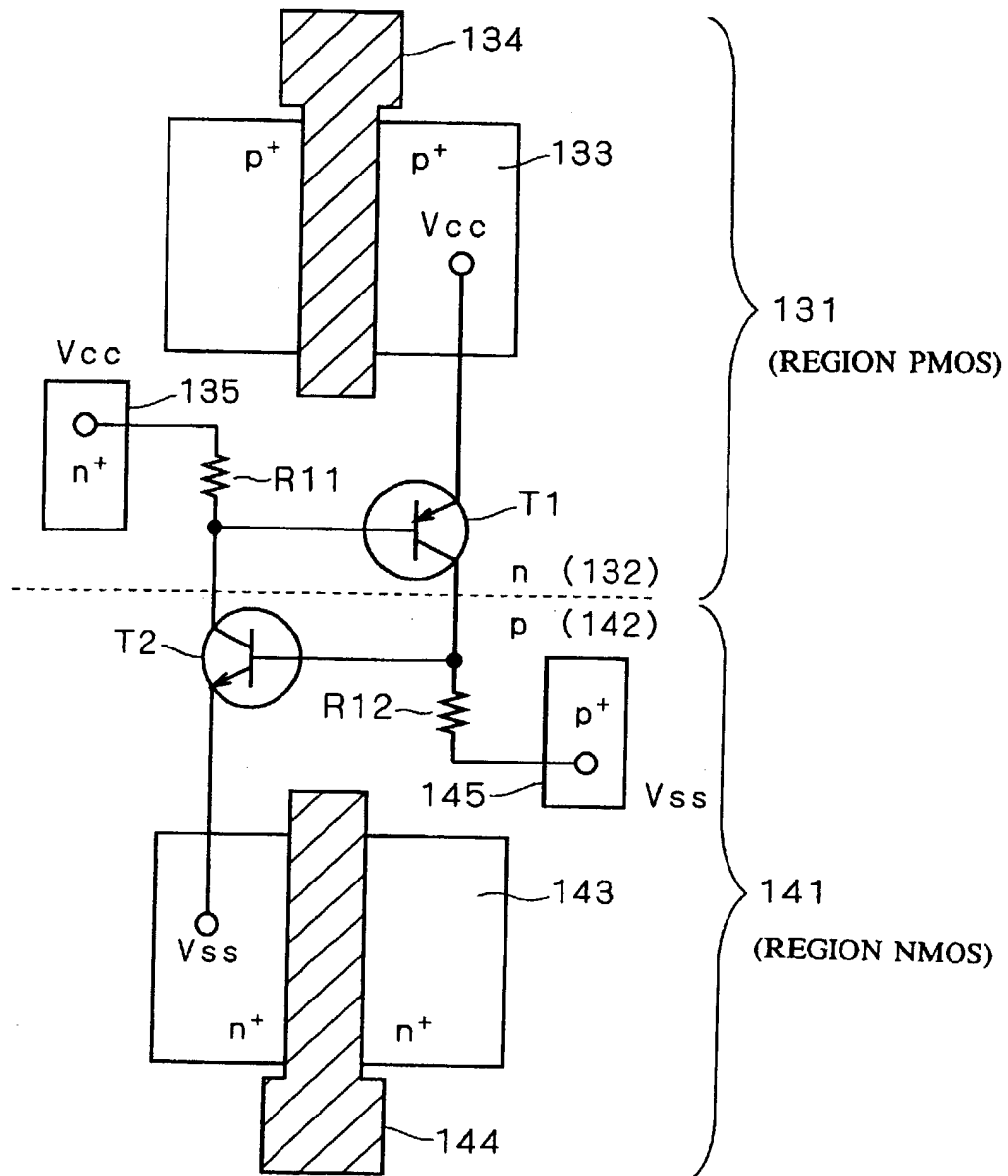




FIG. 65

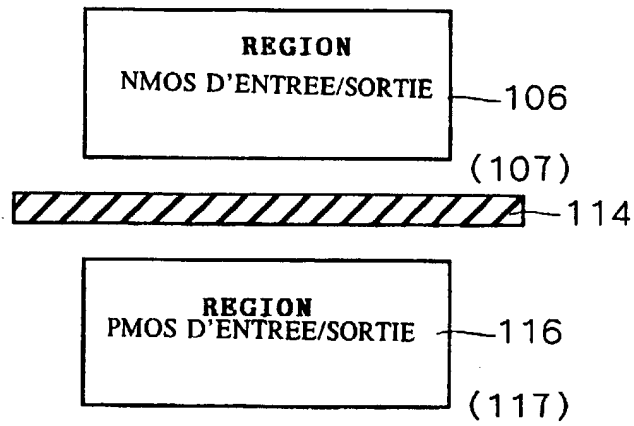


FIG. 66

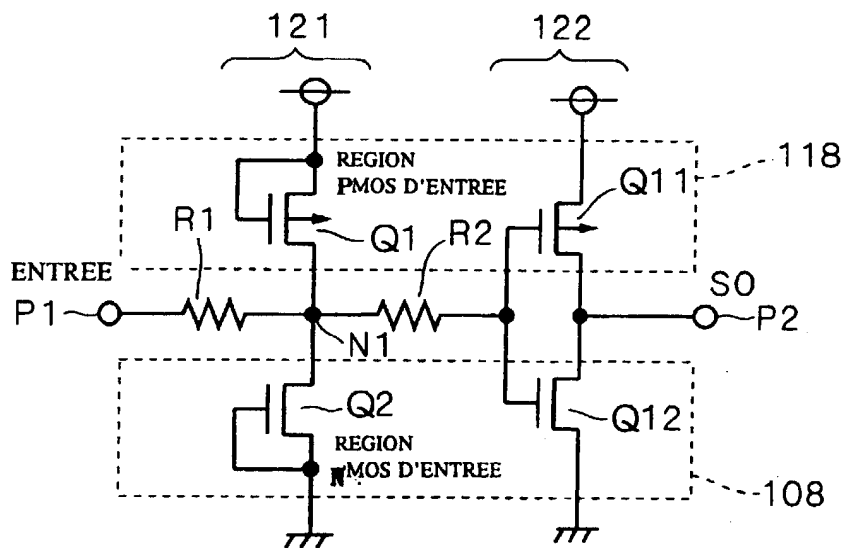




FIG. 67

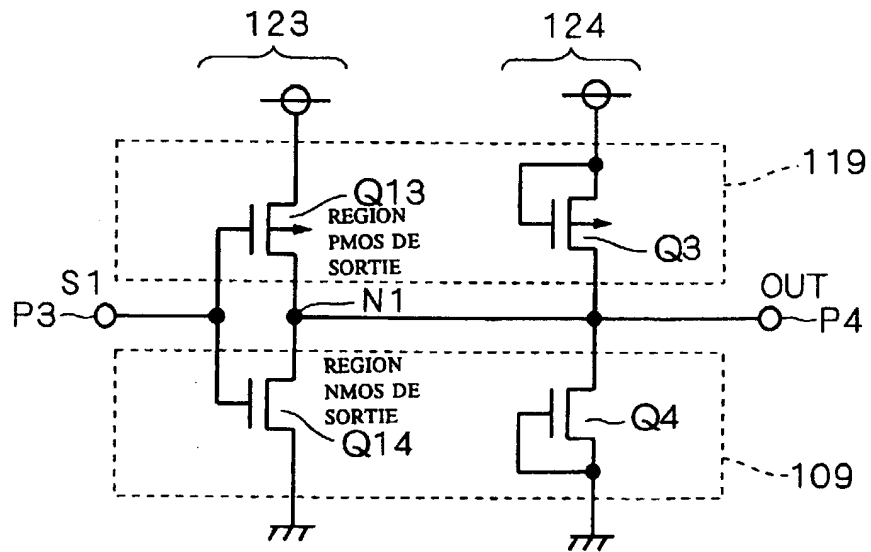


FIG. 68

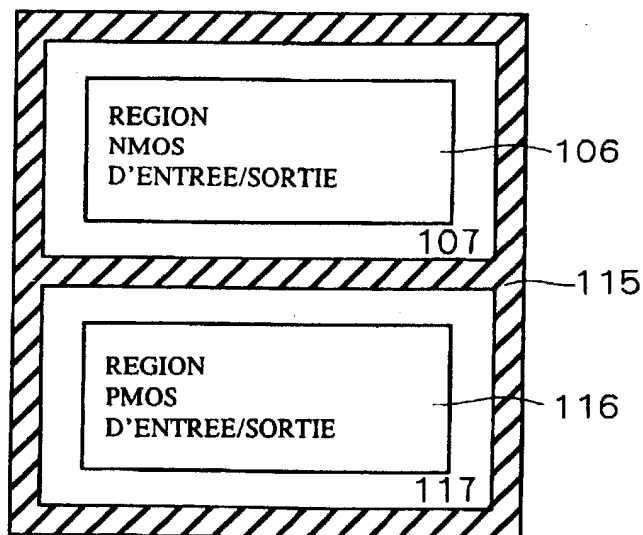




FIG. 69

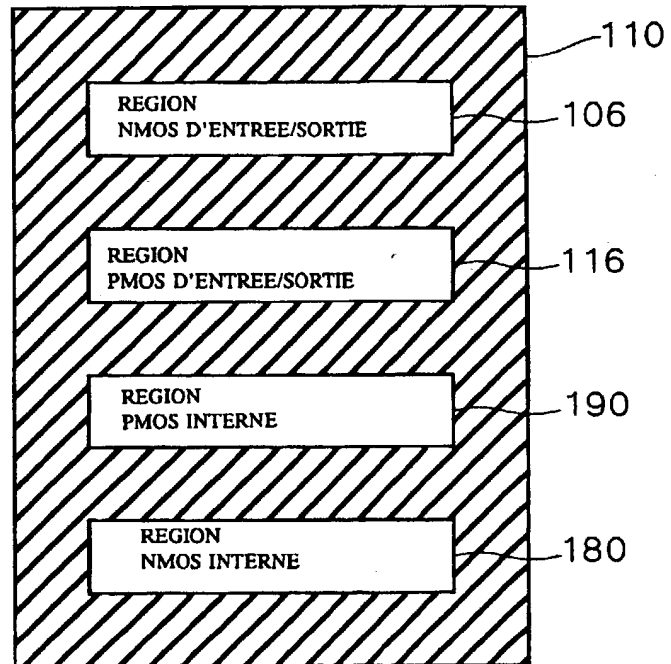




FIG. 70

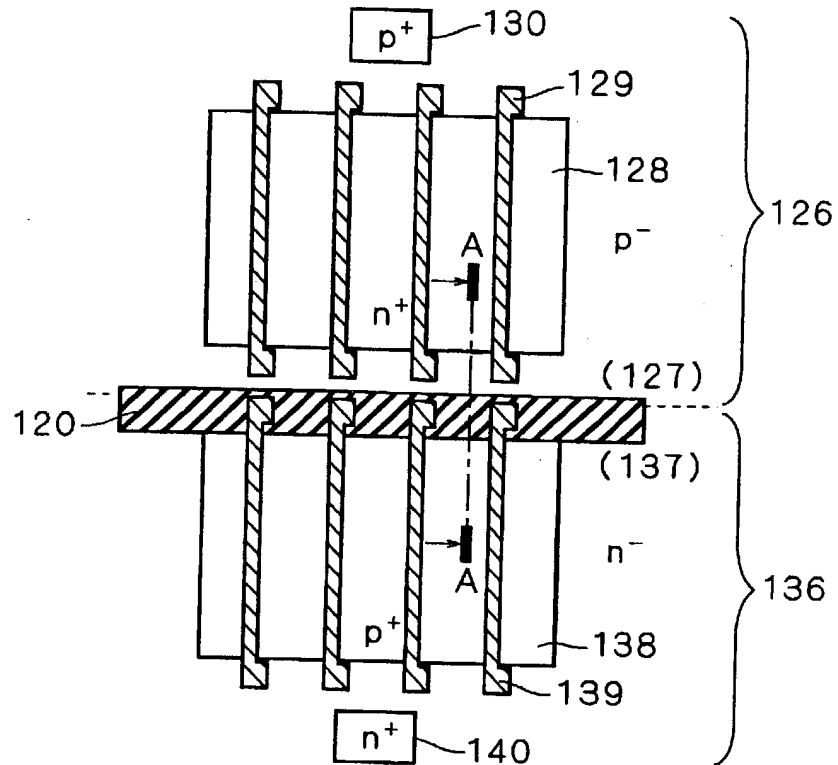
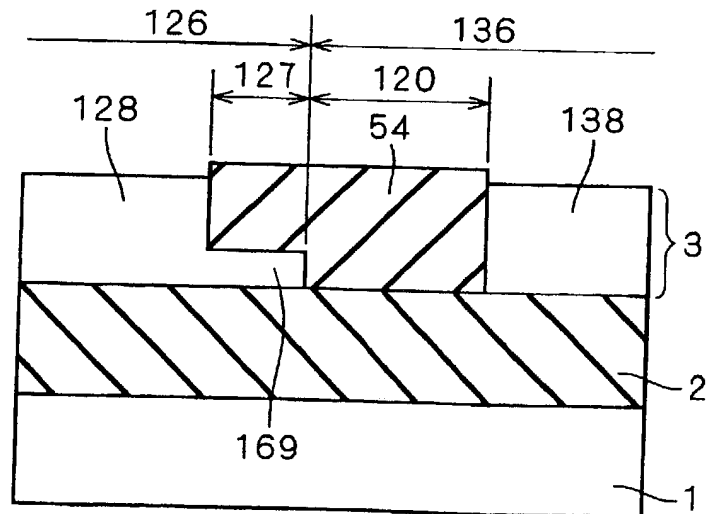


FIG. 71





A cross-sectional view of a semiconductor device. A substrate 1 is divided into two regions 2. Each region 2 contains a p-n junction 169, represented by a white rectangle labeled  $p^-$ . Above each junction 169 is a hatched rectangle 129. The width of each hatched rectangle 129 is indicated as 127. The distance between the centers of the two junctions 169 is indicated as 129. A layer 54 is shown on the right side of the device.



128

129

127

146

$p^+$

$p^-$

$n^+$

$E$

(127)



146

129

128

127A

p<sup>+</sup>

p<sup>-</sup>

n<sup>+</sup>

(127B)

151

n<sup>-</sup>

(137B)

139

138

137A

n<sup>-</sup>

p<sup>+</sup>

n<sup>+</sup>

147

152



FIG. 76

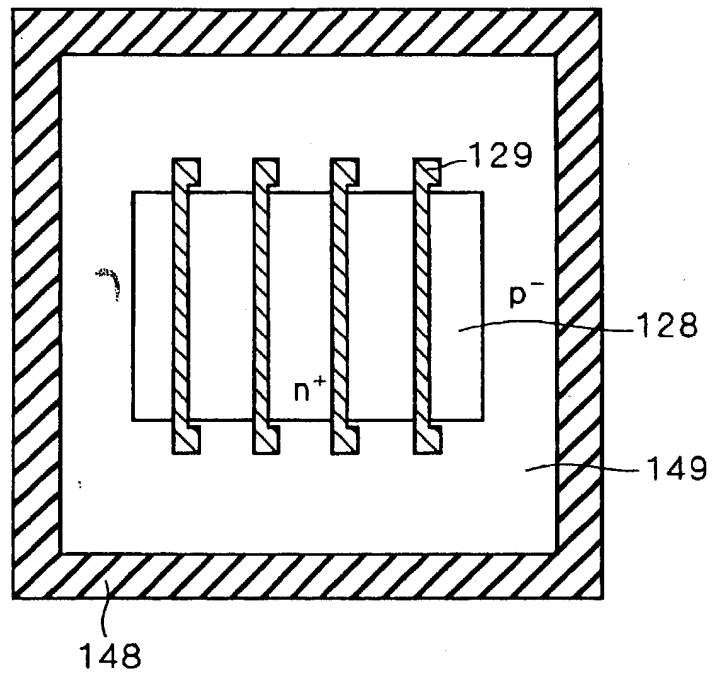


FIG. 77

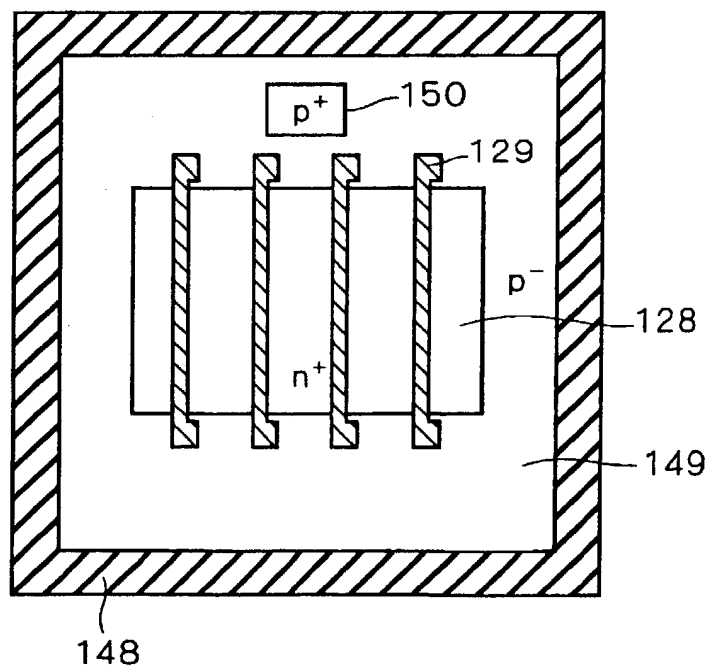




FIG. 78

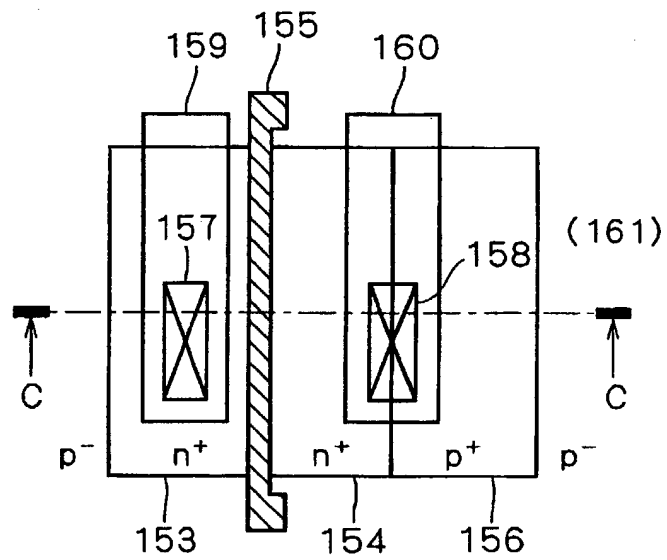
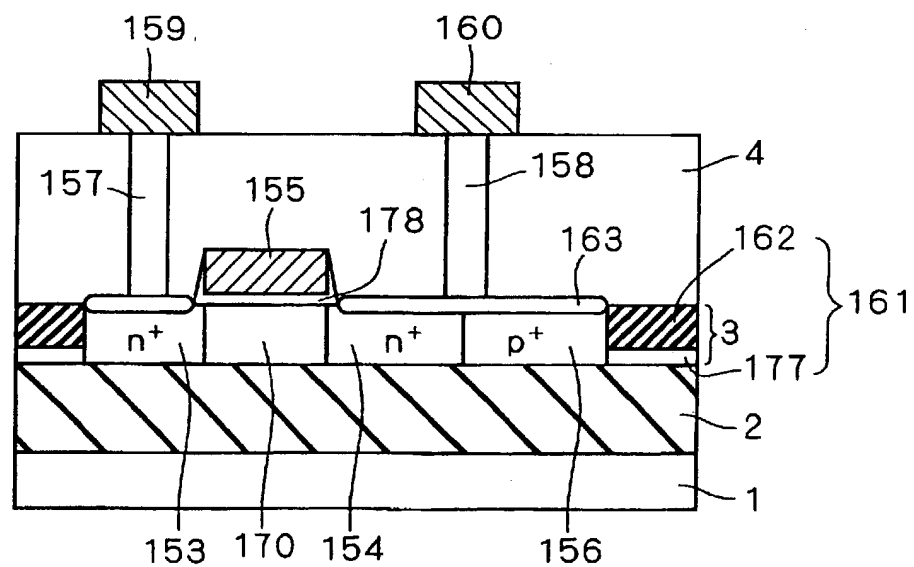


FIG. 79





A cross-sectional view of a semiconductor device. The device consists of two main regions, 153 on the left and 154 on the right, separated by a vertical boundary. Both regions 153 and 154 are labeled with  $n^+$  at the bottom. Region 153 contains a rectangular block 157, which in turn contains a square region 159 with an 'X' inside. Region 154 contains a rectangular block 165, which contains a square region 164 with an 'X' inside. Above region 154 is a layer 166 labeled  $p^+$ . A dashed vertical line passes through the center of the 'X' regions. At the top and bottom of this dashed line are arrows pointing inward, labeled 'D'. A hatched vertical layer 155 is located between regions 153 and 154.

Fig. 16 is a cross-sectional view of a semiconductor device. It shows a substrate with layers 1 and 2. A p+ region 167 is formed in layer 2, and a p+ region 168 is formed in layer 1. A gate structure 165 is formed over the p+ region 168, and a contact 166 is formed over the gate structure 165. The p+ region 167 is labeled n+.



45/59

FIG. 82

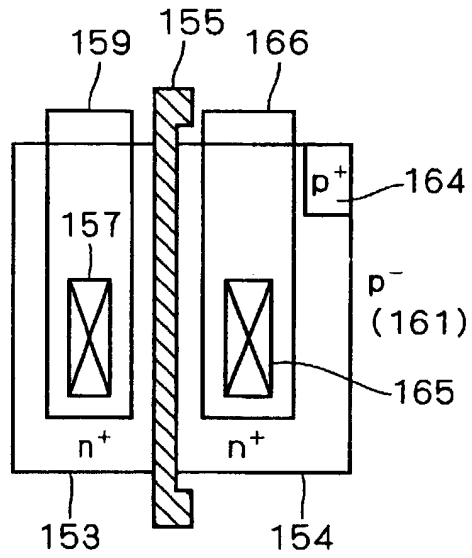


FIG. 83

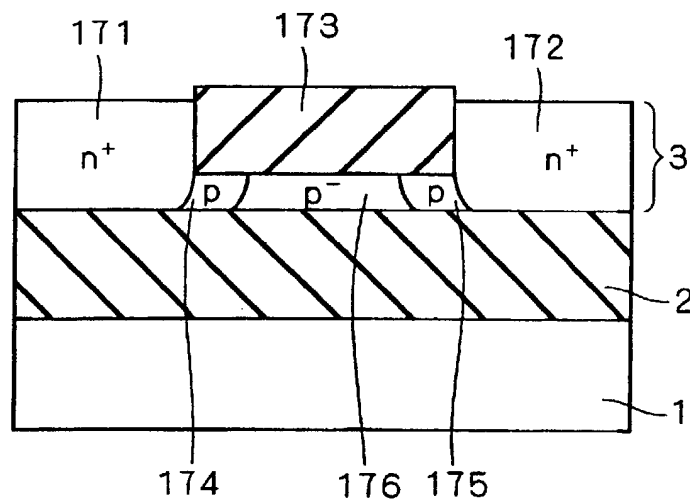




FIG. 84

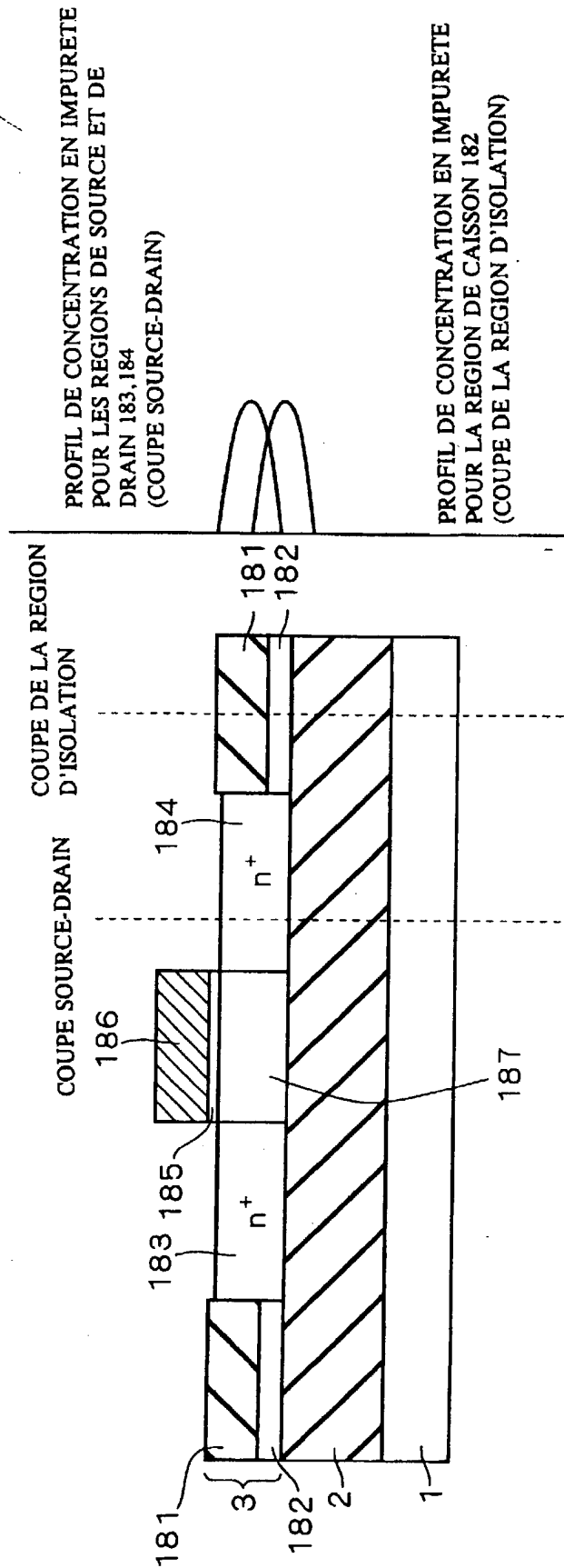




FIG. 85

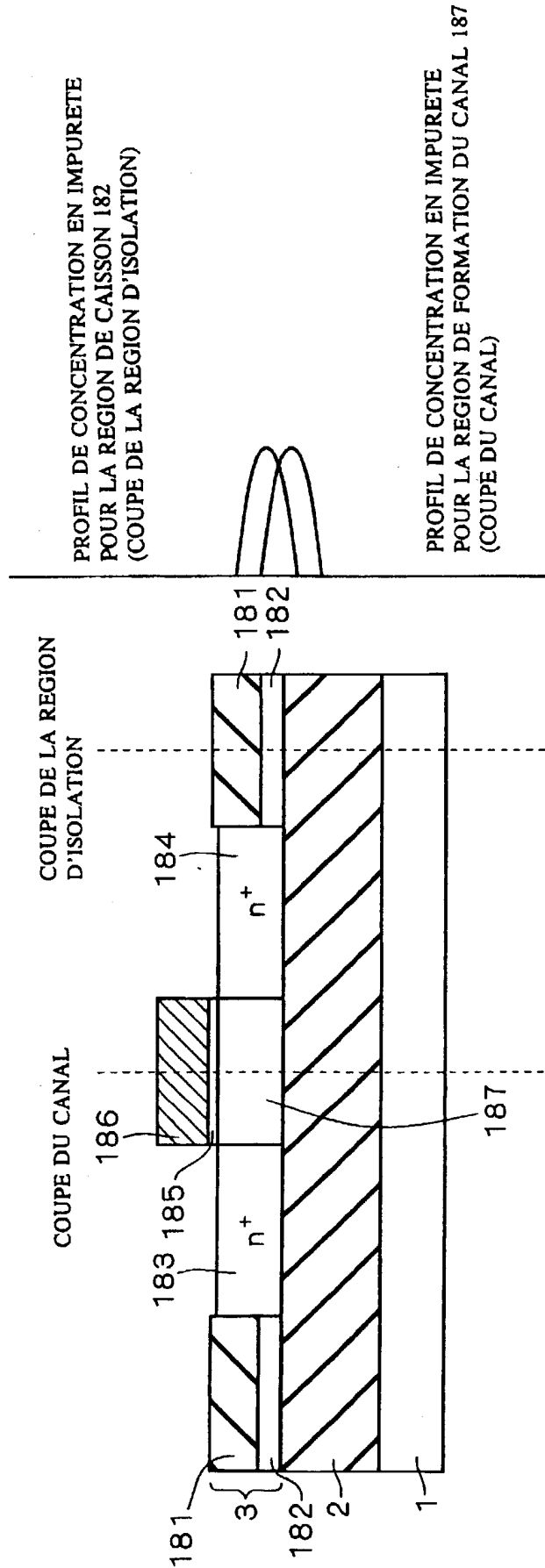




FIG. 86

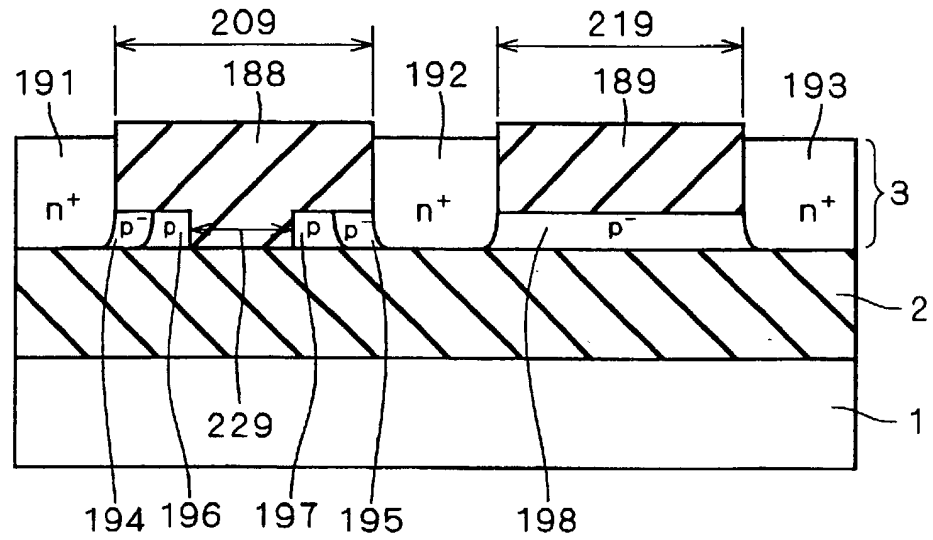
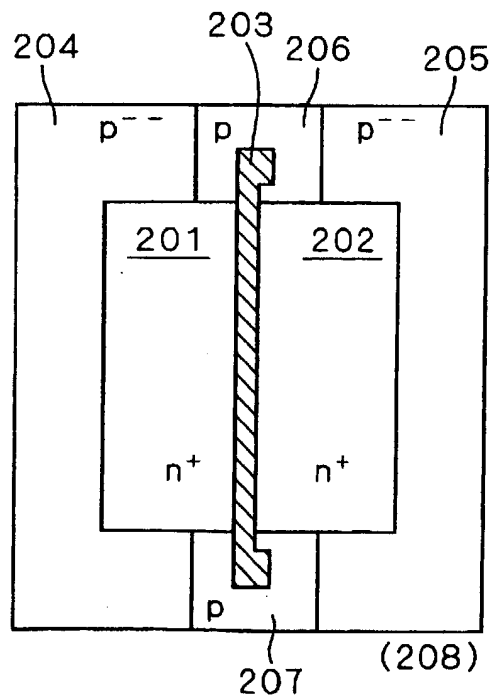


FIG. 87





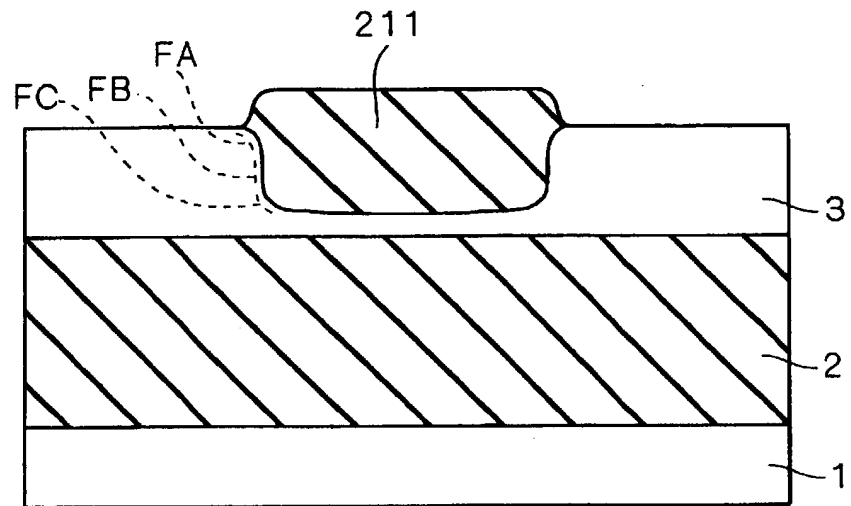
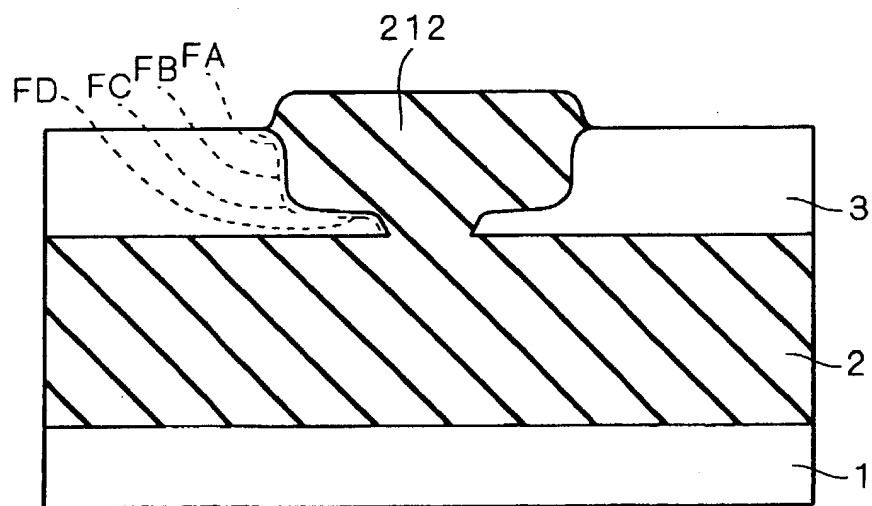
*FIG. 88**FIG. 89*



FIG. 90

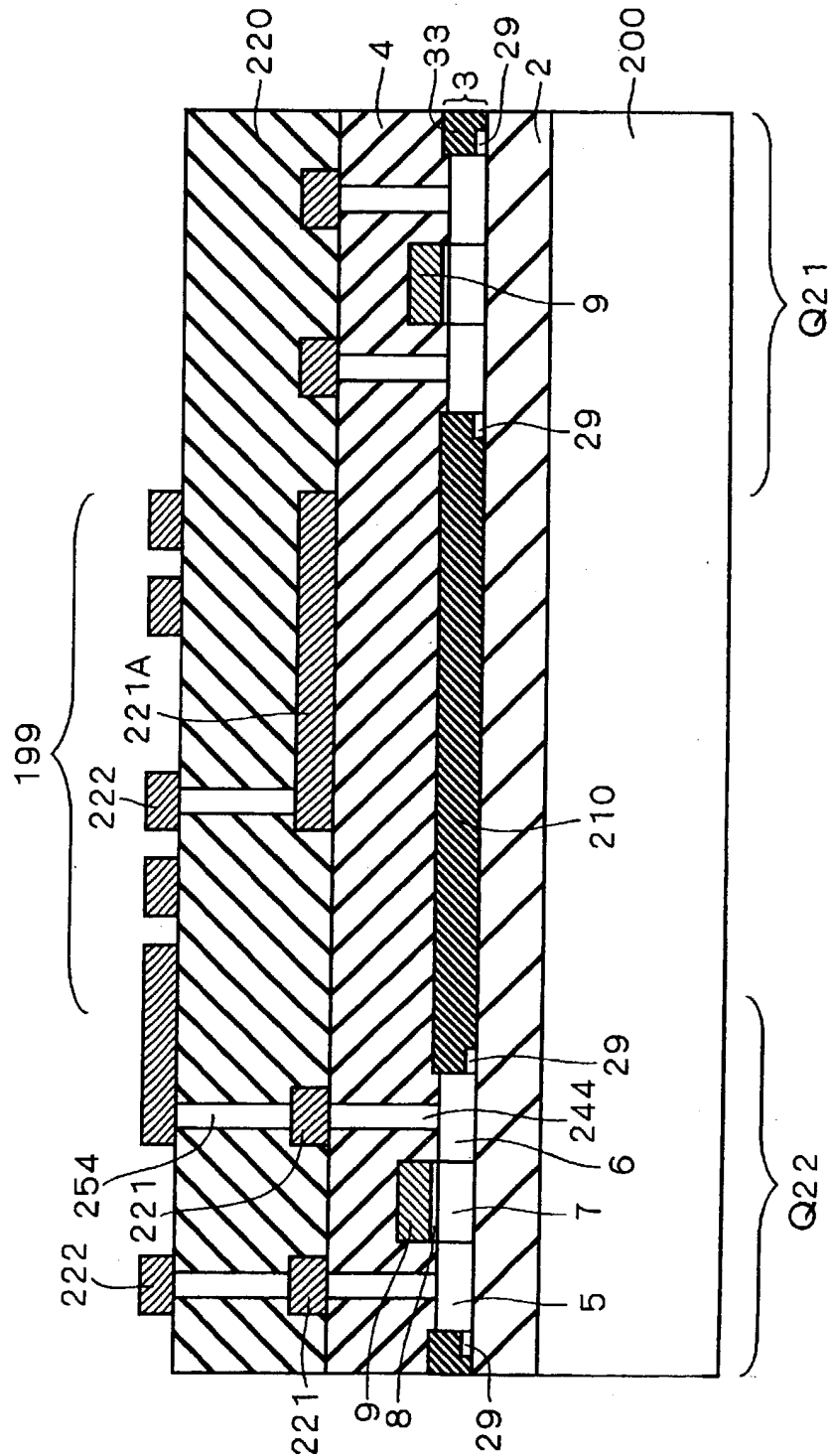




FIG. 91

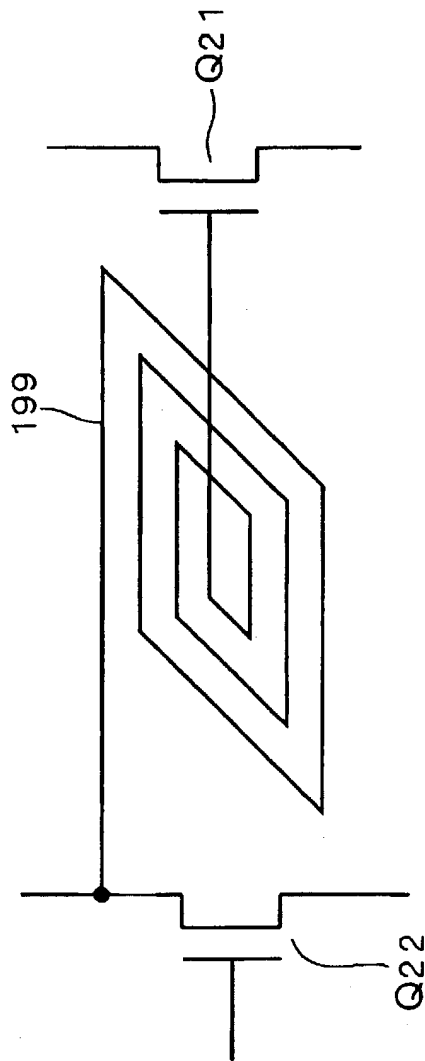




FIG. 92

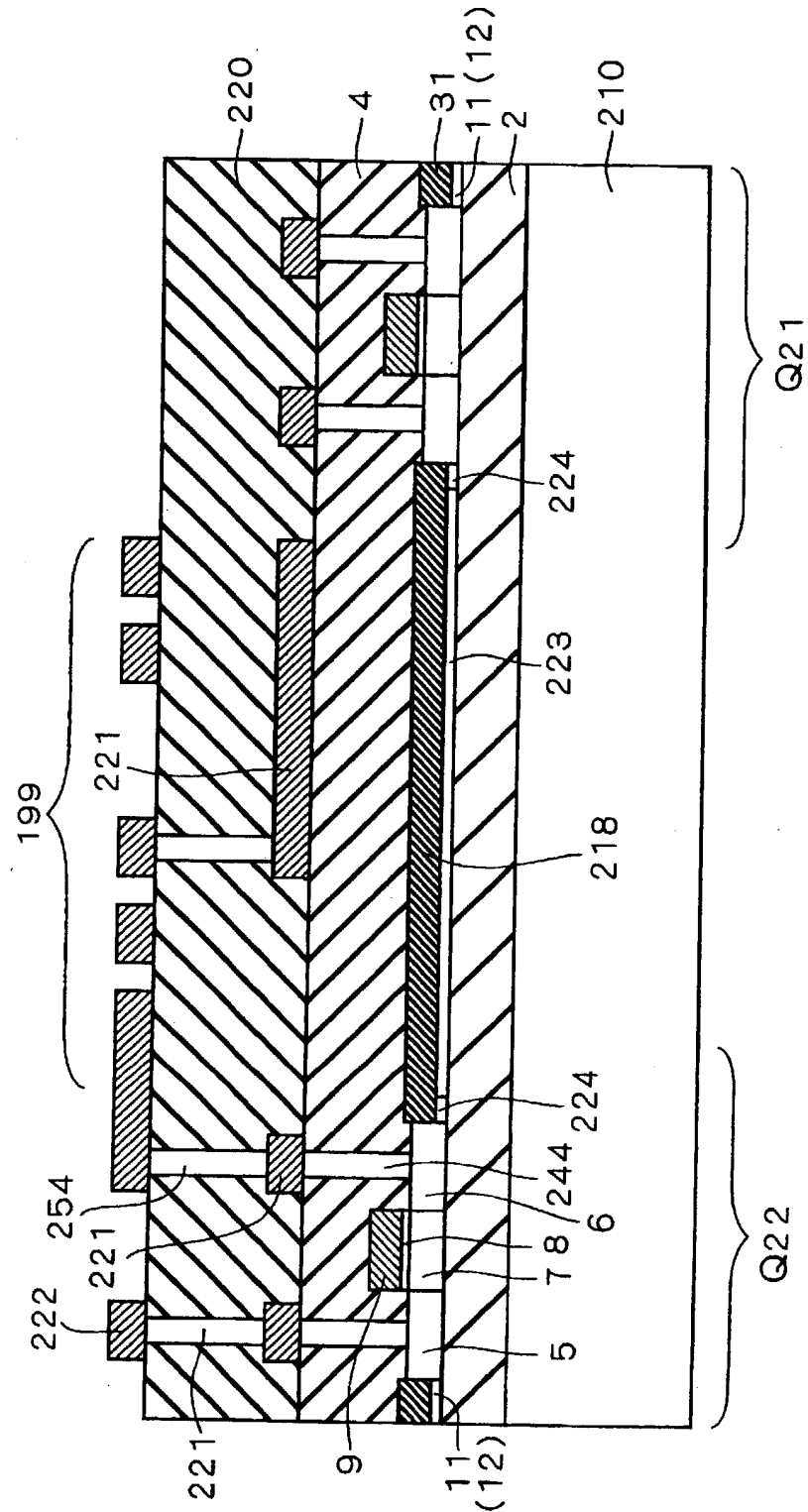




FIG. 93

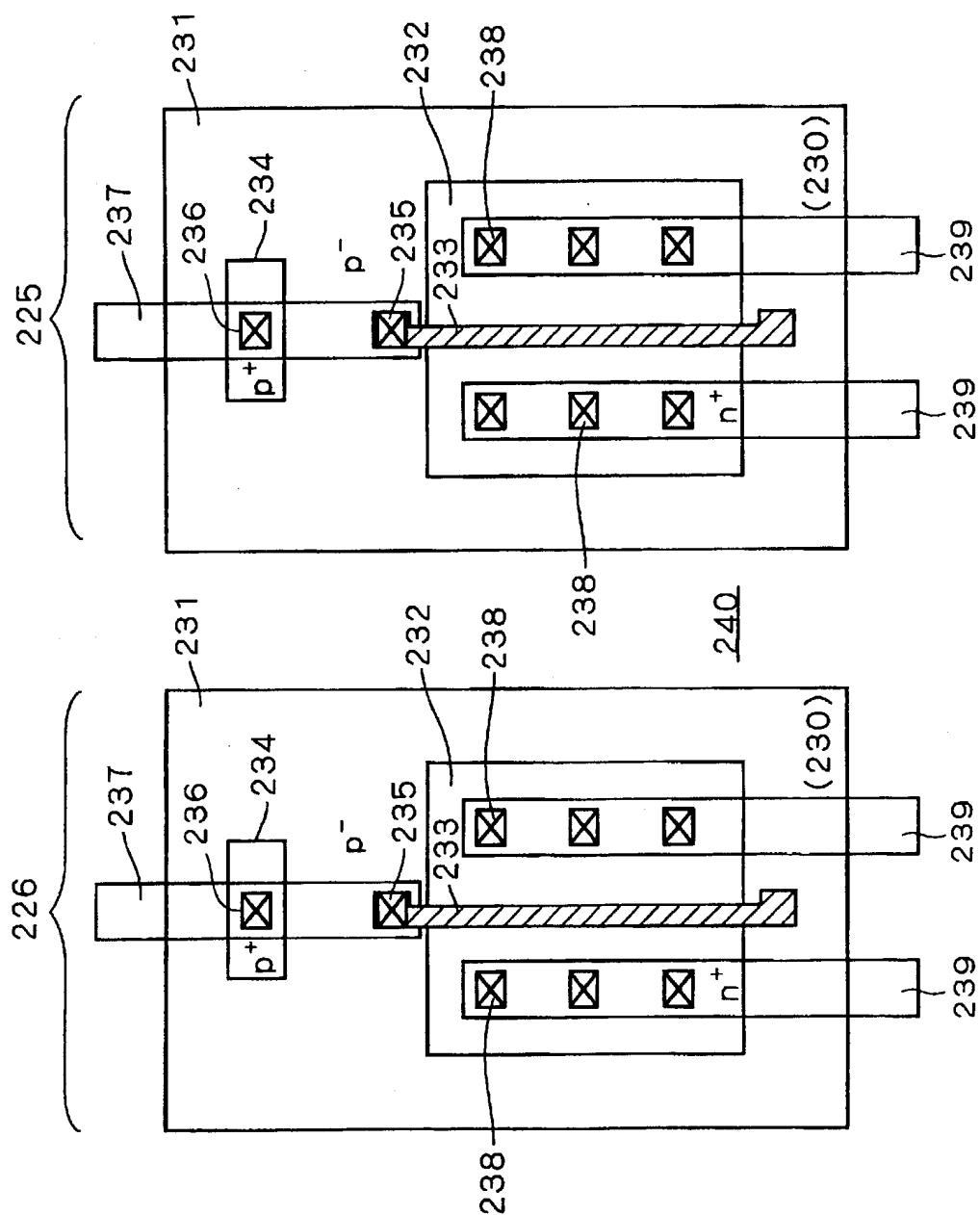




FIG. 94

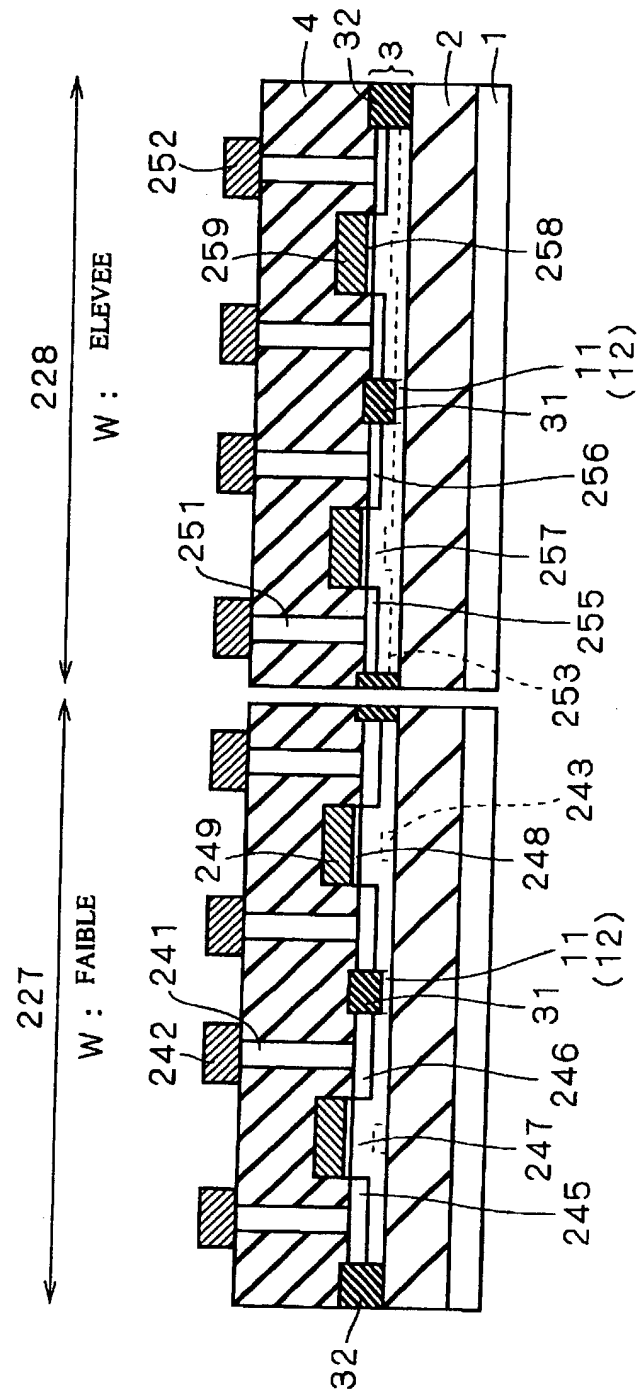




FIG. 95

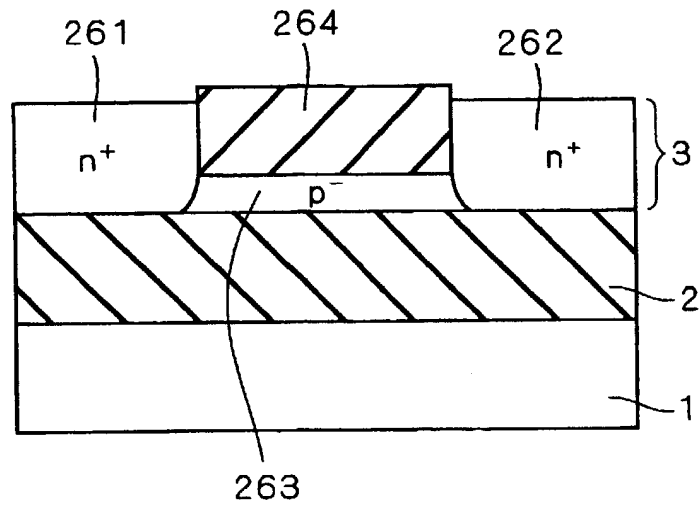


FIG. 96

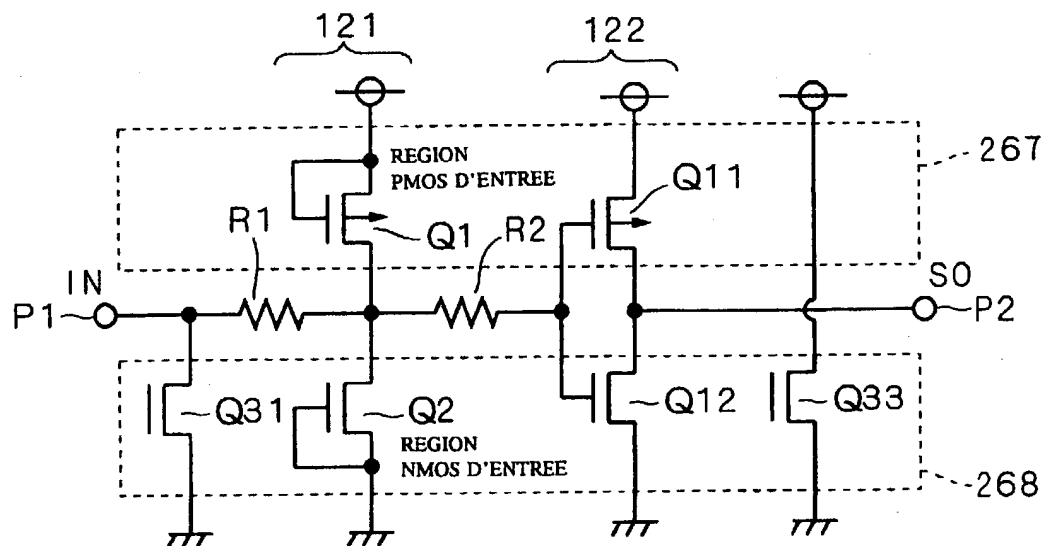




FIG. 97

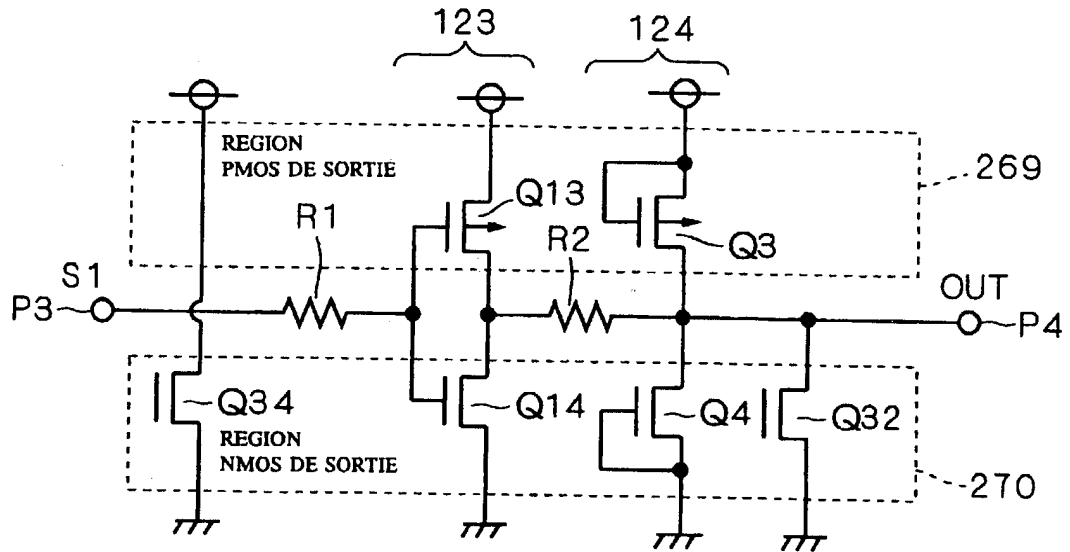


FIG. 98

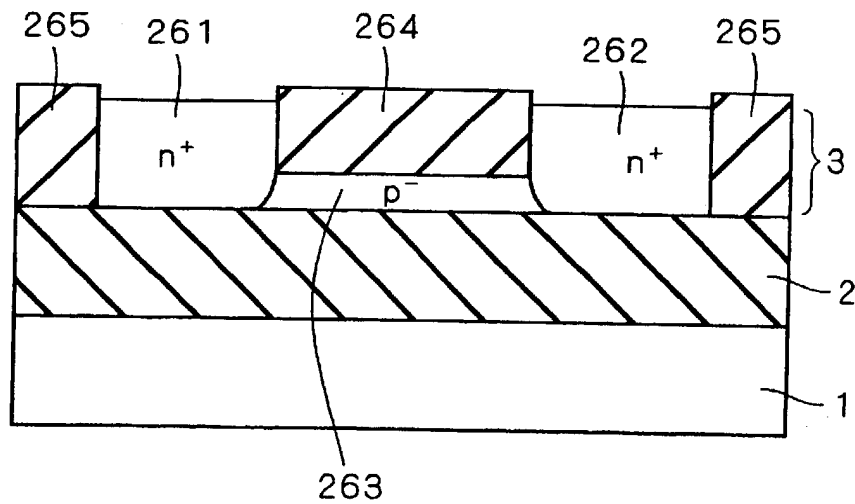
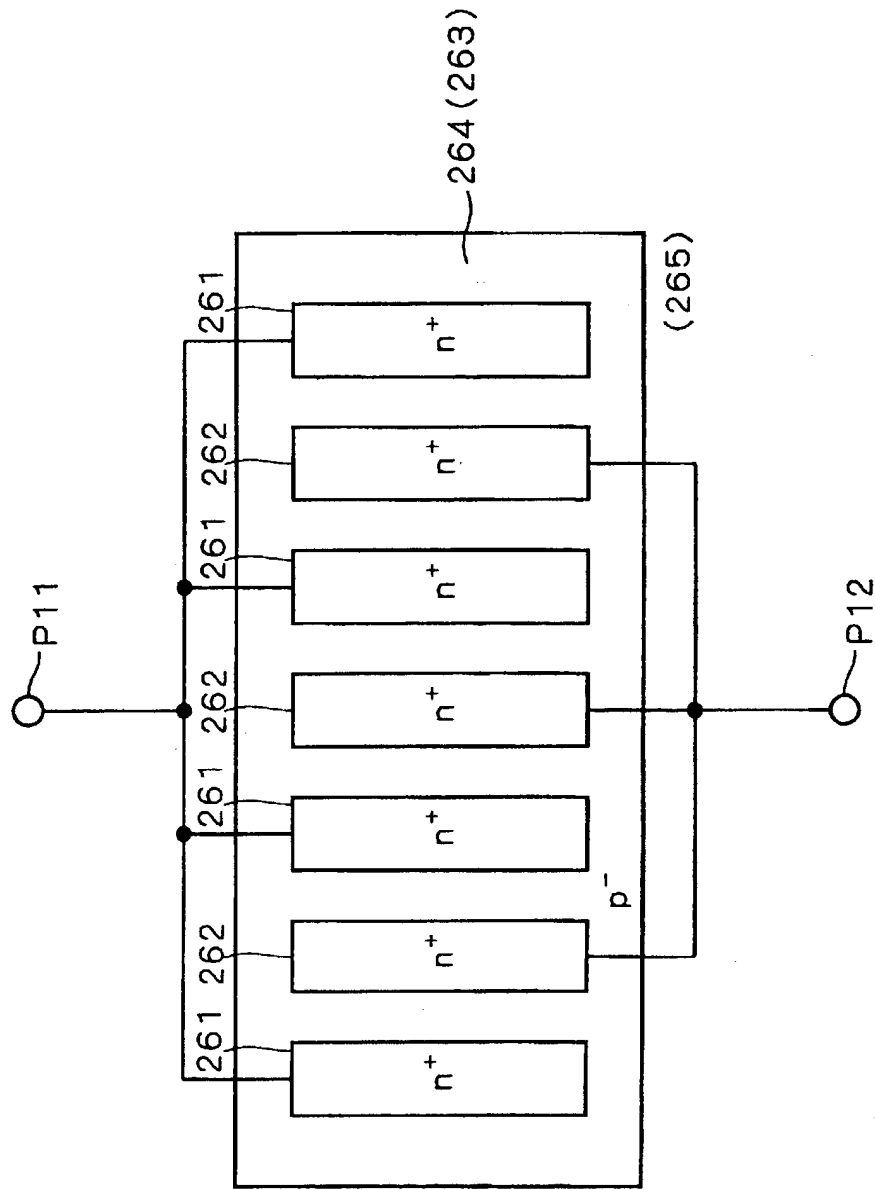




FIG. 99





A graph showing the concentration of impurities (CONCENTRATION EN IMPURETE) on the y-axis versus depth (PROFONDEUR) on the x-axis. The curve starts at a high concentration on the y-axis, rises to a peak labeled L1, and then decays towards the x-axis. A dashed line indicates a transition point labeled L2. The x-axis is divided into two regions: COUCHE SOI 3 on the left and PELLICULE D'OXYDE ENTERREE 2 on the right, separated by a vertical line.

[illegible]



FIG. 102

